

**ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ
УНИВЕРЗИТЕТА У БАЊАЛУЦИ
FACULTY OF ELECTRICAL ENGINEERING
UNIVERSITY OF BANJALUKA**

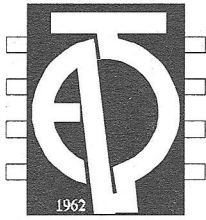
UDK 621.38

ISSN 1450-5843

**ЕЛЕКТРОНИКА
ELECTRONICS**

ГОДИШТЕ 1, БРОЈ 1, ДЕЦЕМБАР 1997.

VOLUME 1, NUMBER 1, DECEMBER 1997



ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ БАЊАЛУКА

Адреса: Патре 5, Бањалука
Тел: 00381 78 11 408 00381 78 11 418
Факс: 00381 78 11 408

ЕЛЕКТРОНИКА

Уредник: проф. др Бранко Л. Докић, Електротехнички факултет,
Универзитет у Бањалуци, Република Српска
e-mail: bdokic@etf-bl.rstel.net

УРЕЂИВАЧКИ ОДБОР:

- Nikolaos Uzunoglu, National Technical University of Athens, Greece
- Barry Jefferies, University of Hertfordshire, UK
- Војин Оклобџија, University of California, Davis, USA
- Братислав Миловановић, Електронски факултет Ниш, СРЈ
- Милић Стојић, Електротехнички факултет Београд, СРЈ
- Војислав Аранђеловић, Институт "Винча" Београд, СРЈ
- Вељко Милутиновић, Електротехнички факултет Београд, СРЈ
- Илија Стојановић, САНУ Београд, СРЈ
- Владимир Катић, Технички факултет Нови Сад, СРЈ
- Александар Илишковић, Електротехнички факултет Бањалука, РС
- Златко Бундало, Електротехнички факултет Бањалука, РС

Секретар: Нада Пламенић, дипл. инг. ел., Електротехнички факултет,
Универзитет у Бањалуци, Република Српска
e-mail: pnada@etf-bl.rstel.net

Лектори: Милена Мандић, за српски језик
Радомир Косић, за енглески језик

Издавач:

Електротехнички факултет, Универзитет у Бањалуци
Адреса: Патре 5, Бањалука
Тел: 00381 78 11 408 00381 78 11 418
Факс: 00381 78 11 408

Штампа:

АТЛАНТИК, Бањалука
ТИРАЖ: 100

УВОД

Драге колеге,

пред Вама је први број часописа Електроника, који је уједно и први часопис ове врсте у Републици Српској. Почетак његовог излагања се поклапа са навршавањем 35 година рада Електротехничког факултета у Бањалуци. Намјера нам је да излази два пута годишње. Штапаћемо научне и стручне чланке из области електронике у најширем смислу (материјали и компоненте, технологије, електронска кола, интегрисана кола - од основних ћелија до кола ултра великог степена интеграције, електронски системи, програмска подршка итд). Приказиваћемо нове књиге, одбрањене магистарске и докторске тезе. Пружаћемо могућност произвођачима из области електронике да презентују своје производе. Жеља нам је, дакле, да на једном мјесту прикажемо научне и стручне резултате појединаца и колектива. Амбиције су нам да изађемо из оквира Републике Српске и СРЈ, гдје ћемо у почетку бити најприсутнији. Зато је уређивачки одбор интернационализован (Грчка, Енглеска, САД) и зато ћемо чланке штампати на српском и енглеском језику.

Природне науке су одувијек спајале и људе и земље и континенте. Оно што су непогода, несрећа, неразум или сила разбијали, наука је повезивала. У тој функцији ћемо радо подржати и сарадњу свих колега са простора бивше Југославије.

У овом броју, осим рада аутора М. Живанов и Љ. Живанов, остали радови су реферисани, као позивни или редовни, на конференцијама у Републици Српској и СРЈ. Седам од тих радова је реферисано на Првом симпозијуму Индустијска електроника ИНДЕЛ 97 који је одржан у Бањалуци од 24. до 27. септембра 1997. године.

На крају је представљена књига Електроника 2 - транзистори, аутора проф. др Александра Илишковића.

У Бањалуци, децембра 1997. године

Уредник
Бранко Докић

INTRODUCTION

Dear Colleagues,

In front of You is the first number of the review "Electronics". This is the first such review in The Republic of Srpska. Its first publishing time coincides with 35th anniversary of the Electrical Engineering Faculty in Banjaluka. Our intention is to publish two issues a year. We will present the scientific and professional articles from the field of electronics in its broadest sense (materials and components, technologies, electronic circuits, integrated circuits - from the basic cells to the circuits of ultra high degree of integration, electronic systems, program support etc.). We will also present new books, defended M.A. and D.Sc. theses. We will give a chance to the manufacturers in the field of electronics to present their products. Our wish is, therefore, to present the scientific and professional results, individual as well as collective, at one place. Our ambition is to cross the borders of The Republic of Srpska and FR Yugoslavia, where we plan to be more present at the beginning. That's why the Board of Editors is internationalized (Greece, England, USA) and that's why the articles will be printed in Serbian and English languages.

The natural sciences have always been connecting the peoples, countries and continents. What was destroyed by natural catastrophes, misfortune, unreasonable or other forces, it was put together or resumed by the science. Having that in mind, we will support and welcome any contribution and cooperation of any of our colleagues from the area of the former Yugoslavia.

Except for the works of Messrs M. Zivanov and LJ. Zivanov, other works in this number have been presented, either as invited or regular, at the conferences in The Republic of Srpska or FR Yugoslavia. Seven of these works were presented at the first symposium The Industrial Electronics INDEL 97 that was organized in Banjaluka from 24 - 27th Dec. 1997.

At the end, You can read the abstract from the recension of the book Electronics 2 - transistors, of the author Prof. Aleksandar Iliskovic, D. Sc. .

In Banjaluka, December 1997

Editor
Branko Dokic

Differential and Pass-Transistor CMOS Logic for High-Performance Systems

Vojin G. Oklobdzija, Fellow IEEE
Electrical and Computer Engineering
University of California
Davis, CA 95616
e-mail: voj@ece.ucdavis.edu

Abstract - This paper presents a review of differential and pass-transistor logic used in today's high-performance systems. Various circuit and logic design styles used in contemporary high-performance processors have been reviewed. The new logic is advantageous over standard CMOS in terms of performance and very often in terms of: area, speed and power as well. Evolution of various high-performance latches has been presented.

I. INTRODUCTION

Computational and market demands have driven VLSI microprocessors into doubling of their performance every three years as shown in Fig.1. In 1994 the first microprocessor (known under the code name of "Alpha" from Digital Equipment Corporation) delivered a single-chip performance equivalent to that of the CRAY-1 supercomputer [12]. However, since its introduction in 1993, the performance of the "Alpha" processor has tripled delivering 40 SpecInt95, as reported in 1997 [13]. Similarly the same trend is observed in the "mainstream" computer market represented by the X'86 architecture. The clock frequencies have reached 600MHz [13] and are expected to top 1GHz in the next year. This demand has had its repercussions on the circuit techniques and the design style used to design high-performance systems.

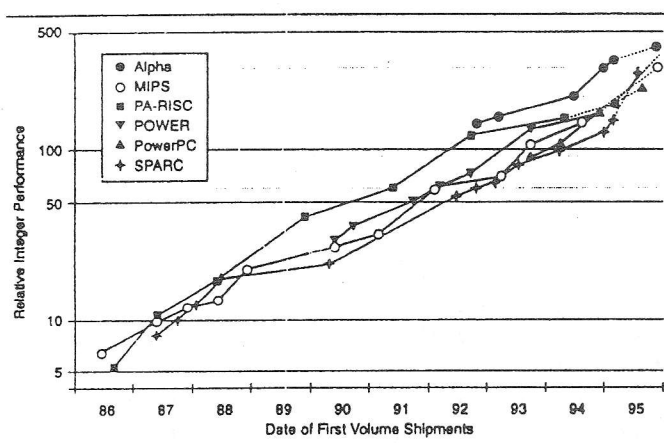


Fig. 1. Performance increase in RISC microprocessors [11]

Keeping this rate of performance increase is not possible only through the advances in fabrication technology. Therefore the improvements in all the other aspects of the design are necessary to support the rate of this progress. Importance of a good circuit design became apparent with the recent introduction of the third generation of "Alpha" processor 21264 which performance surpassed all the other processors introduced this year by a wide margin [13].

As the technology reaches into the deep sub-micron region, the use of regular CMOS came to its limits. The problems associated with the power and speed required that the other types of logic family be examined. In order to reach the performance goals, it is not uncommon to see the use of dynamic logic in the critical paths of a processor. Quite the contrary, almost every high-performance processor today uses some of the non-conventional CMOS design techniques such as: *Domino* logic (single ended or differential) [14,1] as well as *pass-transistor* design techniques. The circuit implementation of the critical part of a high-performance processor is so important that it is essential for the leading processor design centers today to have a very good circuit design team. The interaction between the circuit and the architecture group became so close that it has almost eliminated logic design or confined it to a very small portion of a non-critical parts of the processor [13].

The use of pass-transistors regained interest in the institutions possessing the state of the art technology. This design style was re-examined and it yielded impressive results. It was not only shown that the substantial performance gains can be achieved over the conventional design style, but that the power-delay product of such logic was lower. The power has increasingly becoming an issue of importance as the processor has been migrating into the consumer market, especially portable and hand-held devices.

II. DIFFERENTIAL LOGIC

The introduction of differential CMOS logic evolved from the development of dynamic CMOS such as "Domino Logic" [14] and exploration of the circuit families that are

to replace nMOS logic in the early 1980s. This development took place within IBM and AT&T Bell Laboratories and resulted in several new circuit and logic configurations.

A. CVS logic

Cascode Voltage Switch Logic (CVSL) was developed in IBM [1] as an improvement over the use of pseudo n-MOS. It comes in two forms: single-output and differential output (or double-rail). The later form of the logic is also called DCVSL (Differential Cascode Voltage Switch Logic).

DCVSL is made of two n-type switching networks, one implementing $\bar{f}$ and the other f , and of two p-type transistors, connected in a cross-coupled combination to V_{dd} , used as pull-up devices (Fig.2). Depending on the state of the differential inputs, either node N1 or N2 is pulled down by one of the nMOS logic tree (but never both). The regenerative action of the pMOS latches keeps the outputs Q and $\bar{Q}$ static and assures the full voltage swing, V_{dd} or ground, of its outputs.

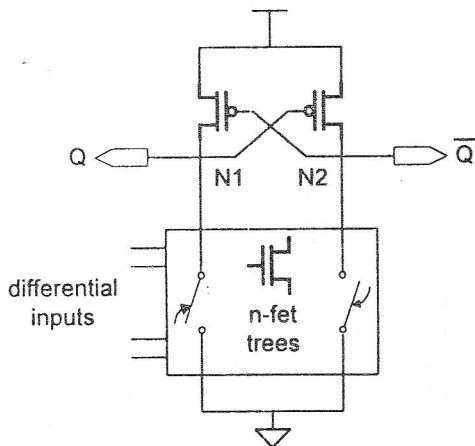


Fig. 2. Static DCVSL logic

The two logic trees are capable of processing complex functions within a single circuit delay. A tree with N n-type devices is capable of computing a function with up to $(2^N - 1)$ input variables.

The advantage of DCVSL logic is that both polarities of the output are represented, thus inversion operation is not necessary. This eliminates the need for the inverter and makes this type of logic inherently faster. The presence of both polarities of the output has other advantages as well. If the circuit is operating correctly, the values of the output signals can only assume 0-1 or 1-0, i.e. the 0-0 or 1-1 combination can never occur. This gives this logic "self-checking" properties. If one of the forbidden combinations is detected, it is immediately signaled as a failure of the logic and the system switches to the appropriate action.

Another variations of CVSL are Static and Dynamic CVSL circuit. Dynamic CVSL circuit is available in two forms:

single-ended (single-output) and double-ended (where true and complements of the function are present).

One the problem of static DCVSL is the signal asymmetry which can appear during the transition. Given that the pMOS transistors are the only pull-up devices there may be a time window during which both the pMOS and the nMOS are ON. This situation will create a current from V_{dd} to ground node causing current spikes and additional delay. The choice of the size of the pMOS is thus very important. If the pMOS is made too small the transition of the signal from GND to V_{dd} is too slow. If on the other hand, the pMOS devices are made too big the transition of the output node from V_{dd} to ground is too slow. This makes static CVS to be a "ratioed" logic. In general to assure a good "pull-up" of the output signal the pMOS devices should be twice the size of the nMOS devices. There is no direct current from V_{dd} to ground after the transition occurred, however because of the asymmetry of the circuit the power consumption of CVSL.

B. CVSL versus CMOS

The main difference between CMOS and DCVSL is in the way the switching function is implemented. While both CMOS and DCVSL implement the true function and its complement, DCVSL uses only n-type devices for both switching trees whereas CMOS use p-type for the f tree and n-type for $\bar{f}$ tree.

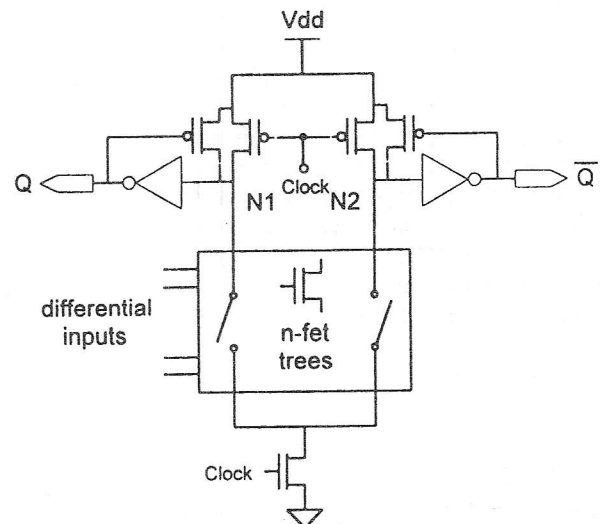


Fig. 3. Dynamic DCVSL logic

In terms of area this allow CVSL to be smaller than CMOS. Since the carrier mobility in the pMOS transistor is half of that in the nMOS, the pMOS transistors need to be made twice as large. Therefore the area taken to implement the switching tree representing the function f is usually twice as large as compared to the switching tree representing $\bar{f}$. In DCVSL those switching trees are approximately the same. In addition to the area reduction,

the use of nMOS transistors results in a reduced input capacitance thus contributing to the speed of the circuit.

In general, due to the lower input capacitance and a better intrinsic transistor speed CVSL should be faster as compared to CMOS using the same transistor sizes. In studies done by IBM, CVSL has shown an overall performance improvement [1]. Other studies [2], show an improvement of performance but at the cost of increased power consumption.

In terms of the number of transistors, CVSL uses two extra pMOS transistors in the cross-coupled combination, as compared to CMOS. However the implementation of both functions f and $\bar{f}$ doesn't necessarily mean that duplication of the transistors is necessary. A number of transistors can be shared between f and $\bar{f}$ switching trees. The amount of such overlap is dependent on the function. Thus the number of transistors in CVSL is generally the same or lower as compared to CMOS.

The sharing of the transistors is illustrated in the example of a 3 input XOR gate shown in Fig.4.

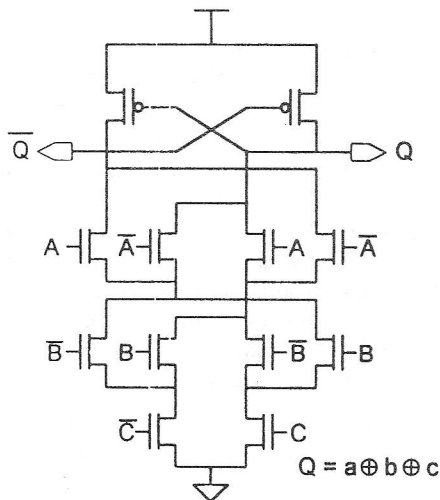


Fig. 4. 3-Input XOR implementation in CVSL

III. PASS-TRANSISTOR LOGIC

New CMOS logic families using pass-transistor circuits have recently been proposed with the objective of improving speed and power [4,6]. Two of them, simultaneously developed by Hitachi: CPL [4] and DPL [6], are the most notable. The Double Pass-Transistor Logic, developed by Hitachi in 1993 demonstrated an 1.5nS 32-bit ALU in 0.25 μ m CMOS technology [4] and a 4.4nS 54X54 bit multiplier [9]. New developments followed from IBM and from Toshiba introducing DCVSL-PG [3] and SRPL [5]. Recent studies have shown that the use of pass-transistor logic not only brings speed and area improvement, but also results in lower power.

A. CPL

In 1990, researchers from Hitachi Central Research Laboratories in Japan published the structure known as Complementary Pass-Transistor Logic (CPL) [4]. The CPL was significant in the fact that it was based on the use of the pass-transistor networks. The logic function, which is built from the pass-transistors, not only efficiently utilizes the silicon, but results in a very fast logic which is also characterized by low-power consumption.

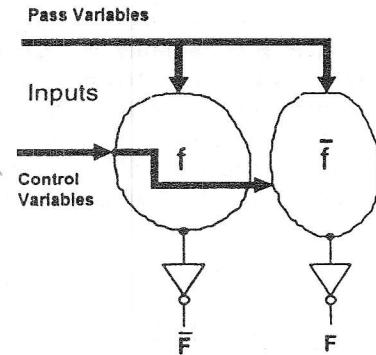


Fig.5. CPL logic structure

The general structure of CPL is shown in Fig.5. The given function f is implemented from two pass transistor logic blocks implementing the function f and its complement $\bar{f}$. Such obtained logic is differential as every variable is represented in its true and complement form.

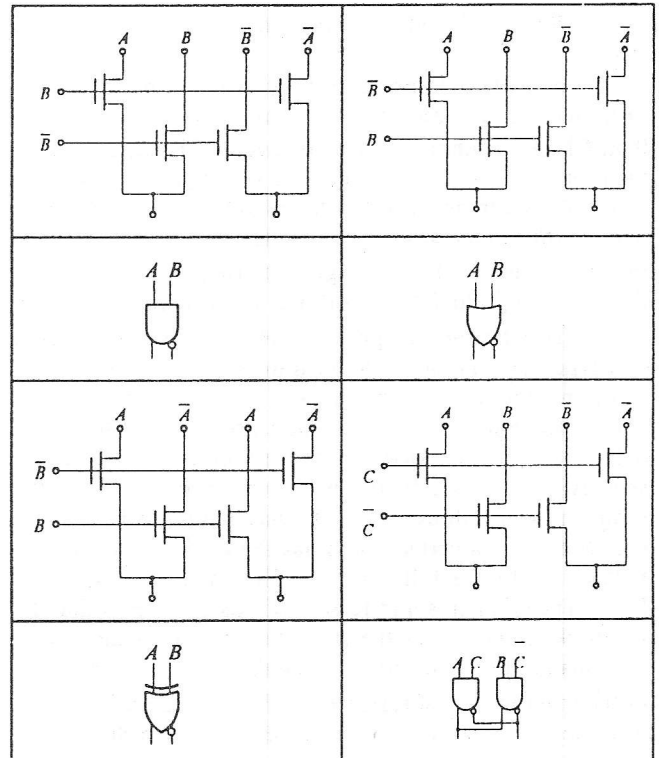


Fig.6. CPL circuit implementation of basic logic functions

If we are to implement an AND gate, a NAND output will be readily available. Therefore, complementation consists of a proper choice of the signals only, given that both polarities are available. The CPL basic gates are shown in Fig. 6.

A family of gates is implemented in this fashion including the XOR / XNOR combination as well as multiplexer. A distinguished feature of CPL circuits is that the implementation of the multiplexer circuit is especially effective and fast. The same circuit topology is used to implement an XOR gate resulting in equally fast and efficient realization. This feature has much importance in digital system design given that multiplexer and XOR gates are essential building blocks which are found in the critical paths of various components. A CPL implementation of and XOR gate and sum bit of full-adder are shown in Fig.7.

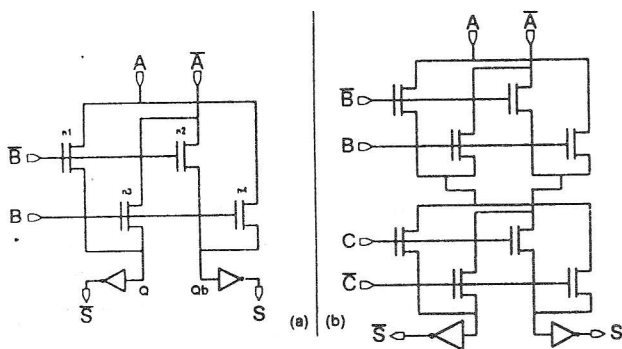


Fig.7. Basic CPL gates: (a) XOR (b) Sum circuit

CPL proved to be not only very efficient but also very fast, yielding an 3.8nS 16X16b multiplier in double metal 0.5 μ CMOS technology [4]. However, CPL suffered from the problem of signal degradation. When passed through a series of pass-transistors, the signal voltage is degraded by one V_T (threshold drop). This brings the transistor in the inverter to the conducting region, causing static current to flow from V_{CC} to GND resulting in an increase in static power. To alleviate this problem, Hitachi researchers used two types of transistors: logic transistors (with $V_T = 0V$) and transistors used in the inverter (with $V_T = 0.4V$ and $-0.4V$). Though this reduced static power dissipation and delay time, it increased the process complexity and the sensitivity to noise. In the new version of CPL [8], the problem of the "threshold drop" was alleviated by using a special type of inverter which has the ability to restore the voltage level to its full potential. This inverter is shown in Fig.8. The distinguishing feature of this inverter is that the feedback which brings the input to the full voltage swing (eliminating the V_T drop) is independent of the output load of the inverter. A fast restoration of the full signal swing is possible thus minimizing the power consumed during this transition.

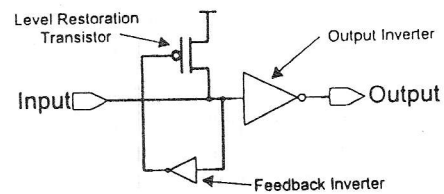


Fig.8. CPL inverter

A clever use of fast feedback is used in this special type of CPL inverter. The restoration of the signal level is independent on the load at the output, thus resulting in faster signal level restoration and decrease in power during the signal transition.

The concept of CPL has been further extended into a design style associated with the tool for automatic generation of the logic block named "Lean Integration" [8]. The use of this design style has provided a beyond marginal improvements in performance, power and area of the ASIC and micro-processor units. Another advancement of the CPL concept termed LEAP has been reported recently [15].

B. DPL

A pass-transistor logic attempts to solve the problem of the pass transistor threshold voltage drop exhibited in CPL. DPL evolved from the same group of researchers at Hitachi Central Research Laboratories lead by Okhubo [6]. The logic is named DPL for Double Pass-transistor Logic. DPL therefore represents a "pass-transistor logic" family alternative to CPL. In creating the switching network f , DPL uses both: n-MOS and p-MOS transistors in parallel. This eliminates the problem of the "threshold drop" and the use of inverters after each logic block. Elimination of inverters results in enhanced speed, however, buffering of the signal after every 2-3 stages is necessary.

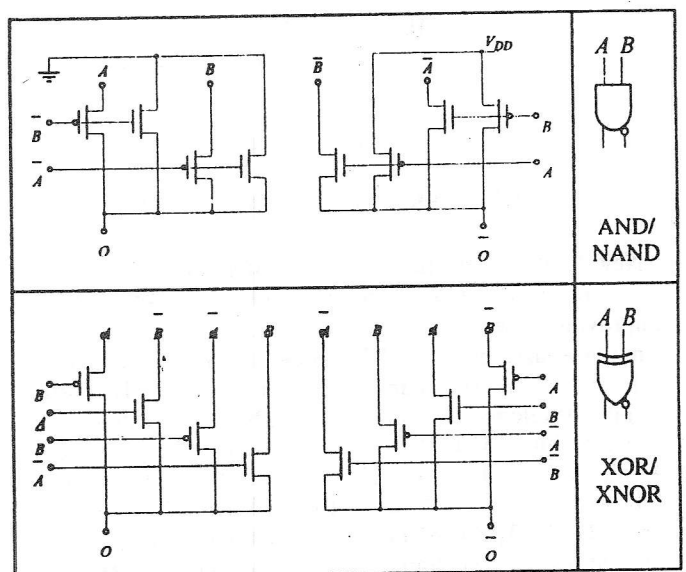


Fig.9. DPL circuit implementation of basic logic functions

The two basic gates used in DPL are shown in Fig.9. The simplicity of DPL family is apparent. For this logic family to be complete it is necessary to implement only on logic function (AND/NAND) and inversion which is obtained by simply choosing an appropriate output. To achieve an efficient implementation of XOR gate is also necessary. As in CPL the basic circuit structure in DPL is a multiplexer which topology is equivalent to that of an XOR gate. However, unlike in CPL those two basic building blocks (XOR and MUX) do not necessarily have to be followed by an inverter, thus making an implementation of a pass-transistor chain possible. When the signal is propagated through several stages of pass-transistors, restoration of the signal is necessary which is achieved by inserting inverters. Unlike in CPL it is not necessary for this inverter to be of a special kind.

Hitachi has shown two very fast implementations using DPL: one a 1.5nS 32-b ALU [6] and another a 4.4nS 54X54-b parallel multiplier [9]. An XOR and Sum bit of a full-adder are shown in Fig. 10.

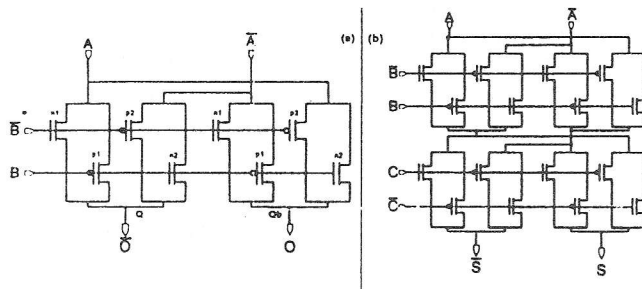


Fig. 10. DPL Logic: (a) XOR (b) One bit full-adder: Sum circuit

B. DVL

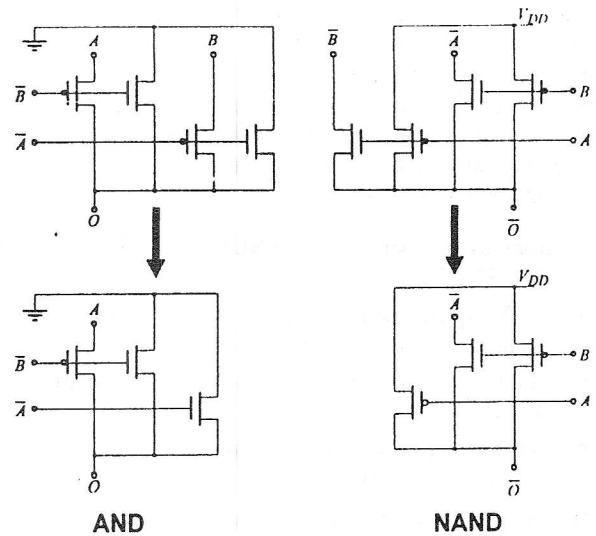
A step further in development of DPL is taken in a logic family termed DVL (Dual Value Logic) [10]. The new logic family was obtained from DPL by elimination of the redundant branches and rearrangement of signals. These simplifications still preserve full swing operation of DPL and improve its speed. The speed improvement is a direct result of elimination of one branch containing one transistor. This minimizes the capacitive load "seen" by the previous gate by minimizing the number of inputs and number of capacitive loads.

The new logic family is achieved in three steps:

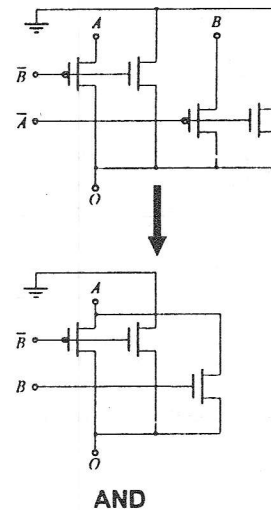
- elimination of redundant branches in DPL
- elimination of branches via signal rearrangement
- combination of (a) and (b) using two faster halves

The process is illustrated in Fig.11.(a),(b),(c)

A faster half was chosen from (a) and from (b) resulting in a complete gate (c). Fortunately (a) produces a faster NAND while (b) produces a faster AND, which makes a complete gate shown in Fig.11.(c).



(a) Elimination of redundant branches



(b) Signal re-arrangement

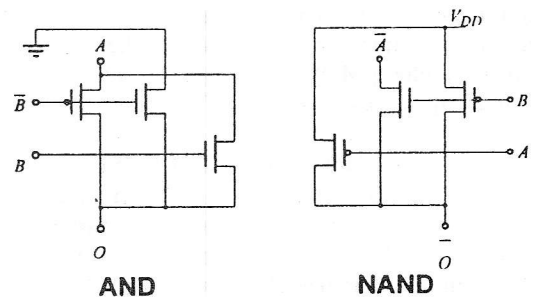


Fig.11. DVL Logic: (c) Resulting DVL gate is obtained by taking two faster halves from (a) and (b)

The resulting DVL gate contains total of 8 transistors (3 p-transistors and 3 n-transistors) compared to 4 transistors of each type in DPL. There is a total of 9 inputs in DVL

versus 12 in DPL resulting in a smaller capacitive load of DVL gates. Of those inputs 3 are connected to the transistor source and 6 to the gate: 3 to p-type and 3 to n-type. In DPL 8 inputs are connected to the source 4 to p-type and 4 to n-type transistors. The total area (taking resizing into account) is only 5% larger in DVL gate. The speed advantage is 20% in favor of DVL.

The comparison between NAND/AND DPL gate and NAND/AND DVL shows:

- 20% speed improvement, utilizing 75% of the transistors used in DPL.
- 25% less connections and wires as compared to a DPL gate.
- The 4% area increase in comparison to DPL is not found to be substantial.

A similar method is used to build the NOR/OR gates.

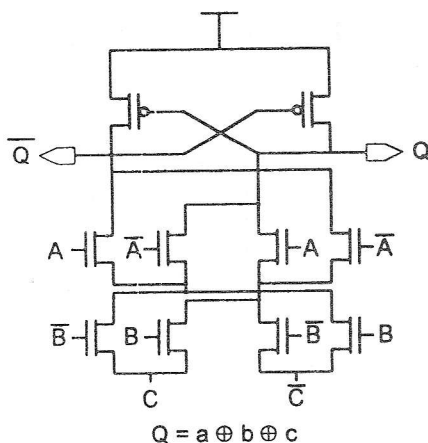


Fig.12. 3-input XOR Gate implementation in CVSL-PG

C. DCVSL-PG

Further development of differential CMOS family is presented in the paper by Lai and Hwang [3]. They introduced pass-transistor logic in the DCVS logic tree in order to eliminate the problem of current spikes. They have solved this problem by having the switching tree act as the pull-up (accelerating the shut down of the p-transistors). The cross-coupled pMOS is acting as a load to regenerate the output signal level (Fig.12). The size of the pMOS transistors is not critical anymore. They can be made of the minimal size, thus unlike DCVSL, DCVSL-PG is not a ratioed logic. In addition there is fewer transistors in DCVS-PG leading to a smaller and faster circuits compared to DCVS. The main difference compared to DCVSL is in the logic nMOS trees. In DCVS-PG they are not always connected to ground but are, most of the time, connected to pass variables or, sometimes, to supply voltage. The switching network thus does not act as a path to ground but also passes the input variables to the output. The cross-coupled pMOS pair is only used as a regenerative load to bring the outputs to full-swing level.

DCVSL-PG logic showed a performance better than that of DCVS. This was demonstrated by an implementation of 2nS 64-bit adder in 0.5μ CMOS technology.

C. CVSL-PG

Researchers from Toshiba Corp. developed their version of differential CMOS pass-transistor logic that does not suffer from degraded pull down performance [5]. They named it Swing Restored Pass-Transistor Logic (SRPL). In SRPL the generic gate consists of a pass-transistor logic constructed of nMOS transistors (similar to CPL) and a latch type swing restoring circuit consisting of two cross-coupled CMOS inverters (Fig.13.). The nMOS transistor logic network implements any Boolean logic function while the complementary outputs of the pass-transistor logic are restored to full swing by the cross-coupled combination at the circuit output. In this way SRPL solves a major problem of the CPL logic. However, it is argued that the input variable can "see" a long chain through several gates, thus making the total output capacitance of the circuit quite large. Toshiba has built an experimental MAC (Multiply Accumulator) in a 0.4μ CMOS technology achieving a 150MHz speed at 3.3V supply voltage.

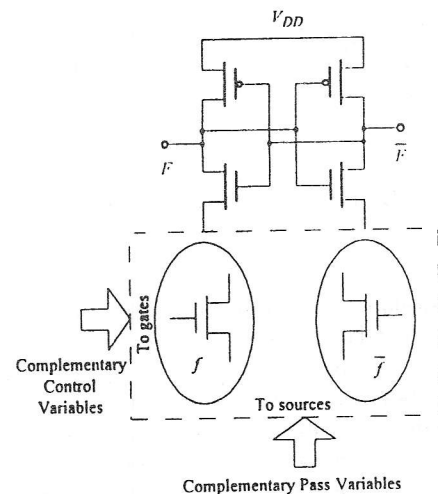


Fig.13. Generic SRPL Gate

Comparisons of full adder circuits implemented with CMOS, CPL, DPL, DCVSPG and SRPL showed CPL to be the fastest followed by SRPL and DCVSPG logic. However, SRPL had the best power-delay product which amounted to 21% of that of CMOS [5].

IV. LATCHES

An important part of every high-performance system is the latch. At the increasing clock frequencies very little time is left for computation. The overall speed of those systems is enhanced by deep pipelining and the use of relatively small number of logic stages. The fact that the delays associated with wires, clock-skew and the jitter

introduced by the PLL are not scaling with technology makes this situation even worse. Therefore an increasing demand has been placed on the latch requiring to minimize the amount of time which is not contributing to the computational cycle such as: the latch setup time and latch delay. Several new and unusual latch configuration have emerged in recent high-performance processors.

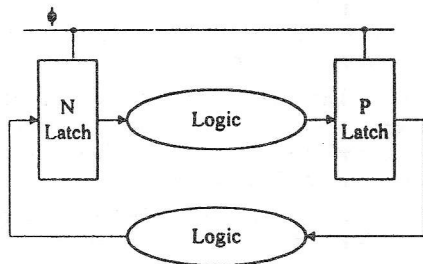


Fig. 14. Single pipeline stage utilizing both polarities of the clock

The diagram of single-phase clocked pipelined system, consisting of two logic blocks separated by N and P type latches is shown in Fig. 14. N type latches are transparent when Clock = 1, and opaque when Clock = 0, while P type latches are transparent when Clock = 0, and opaque when Clock = 1. Since the pipeline design is based on latches, they play the key role in overall system performance.

A. TSPC-Latch

TSPC technique is commonly used in high performance digital systems due to its simplicity and fast operation [16]. Four basic stages exist in TSPC, pre-charged N and P, and non-precharged N and P, as shown on Fig.15. By combining these stages latches and flip-flops can be formed. For example, N type latch consists of two non-pre-charged N stages (Fig.16).

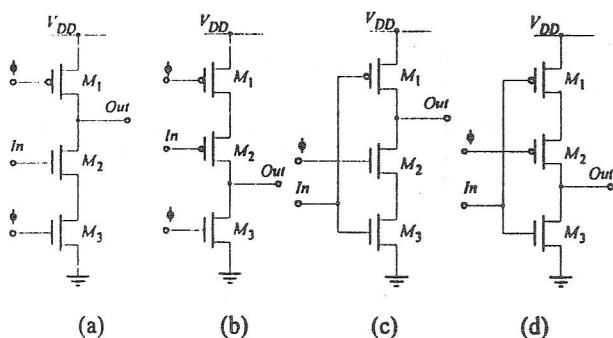


Fig. 15. Basic CMOS TSPC stages: a) pre-charged N, b) pre-charged P, c) non-precharged N, d) non-precharged

B. "Alpha"-Latch

A typical example of a demand on a latch in a high performance processor is the evolution of the latch used in Digital "Alpha" processor. The first generation of "Alpha" 21064 [12] used modification of TSPC latch (Fig. 17.) the modification over TSPS latch is in additional transistor

added to eliminate floating nodes and improve the immunity to noise of this latch.

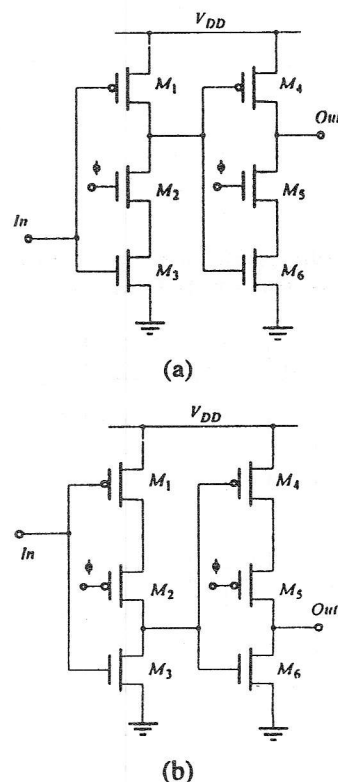


Fig. 16. TSPC latch (a) N-type (b) P-type

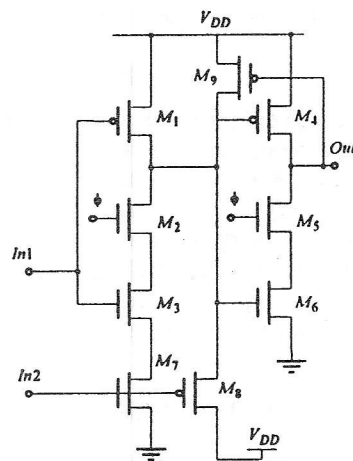


Fig.17. Modified TSPC latch as used in 21064, the first generation "Alpha" processor from Digital [12]

In the second generation "Alpha" processor 21164, Digital designers have opted for a very shallow latch its main part consisting of the pass-transistor switch in order to reach 300MHz operation [17]. The modification of this latch consist of introducing a logic gate at the input, thus being able to perform a logic NAND operation.

Demand for even higher clock rate of 600MHz had its effect on the latch design. The third generation "Alpha", 21264 uses a differential latch resembling a sense amplifier

in a memory cell. The propagation delay of this latch is 450nS [13].

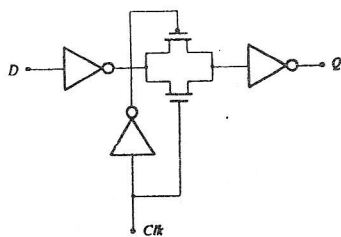


Fig.18. The latch used in the second generation "Alpha" processor from Digital 21164 [17]

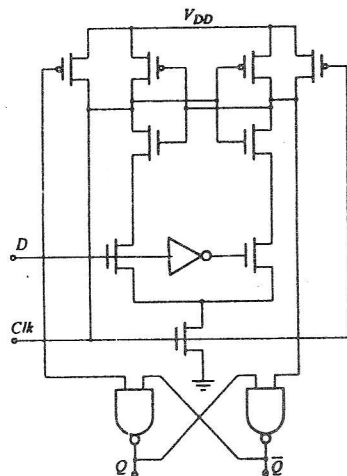


Fig.19. The latch used in the third generation "Alpha" processor from Digital 21264. The latch is differential [13]

V. CONCLUSION

In this paper various circuit and logic design styles used in high-performance processors have been reviewed. The new logic has advantages over standard CMOS in terms of performance and very often in terms of: area, speed and power as well. A very important aspect of a high-performance system is the clocking methodology and associated latch design. Evolution of various high-performance latches has been presented.

REFERENCES

- [1] LG Heller, WR Griffin, et al, "Cascode Voltage Switch Logic : A Differential CMOS Logic Family" *1984 IEEE International Solid-State Circuits Conference*, vol 27, pp16-17 February 1984.
- [2] KM Chu and DL Pulfrey, "A Comparison of CMOS Circuit Techniques : Differential Cascode Voltage Switch logic Versus Conventional Logic" *IEEE J.Solid State Circuits*, vol sc 22, pp528-532, 1987.
- [3] F.S. Lai and Hwang, "Differential Cascode Voltage Switch with Pass Gate Logic Tree for High Performance CMOS Digital Systems", *1993 International Symposium on VLSI Technology, Systems and Applications*, pp358-362, May 1993.
- [4] Yano, K, et al, "A 3.8 ns CMOS 16 *16 b Multiplier Using Complementary Pass-Transistor Logic", *IEEE J. Solid State Circuits*, vol 25, p388-395, April 1990.
- [5] Akilesh Parameswar, et al, "A Swing Restored Pass-Transistor Logic Based Multiply and Accumulate Circuit for Multimedia Applications", *IEEE 1994 Custom Integrated Circuit Conference*, pp278-281.
- [6] Makoto Suzuki, et al, "A 1.5 ns 32 b CMOS ALU in Double Pass-Transistor Logic", *1993 ISSCC Dig. Tech. Papers*, pp90-91, February 1993.
- [7] KM Chu and DL Pulfrey, "Design Procedures for Differential Cascode Voltage Switch Circuits", *IEEE J.Solid State Circuits*, vol sc 21, no 6, December 1986.
- [8] Yano, K, et al, "Lean Integration : Achieving a Quantum Leap in Performance and Cost of Logic LSIs", *Proceedings of the IEEE 1994 Custom Integrated Circuit Conference*, May 1-4, 1994, San Diego, California, p.603-606.
- [9] N. Ohkubo, et al, "A 4.4nS CMOS 54x54-b Multiplier Using Pass-Transistor Multiplexer", *Proceedings of the IEEE 1994 Custom Integrated Circuit Conference*, May 1-4, 1994, San Diego, California, p.599-602.
- [10] V.G. Oklobdzija, B. Duchene, "Pass-Transistor Dual Value Logic For Low-Power CMOS," *Proceedings of the 1995 International Symposium on VLSI Technology*, Taipei, Taiwan, May 31-June 2nd, 1995.
- [11] L. Gwennap, "Processor Performance Climbs Steadily", *Microprocessor Report*, p.18, January 23, 1995.
- [12] Dobberpuhl, D., et al, "A 200 MHz 64 b Dual-Issue CMOS Microprocessor," *1992 IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, San Francisco, CA, USA, 19-21 Feb. 1992, pp. 106-7, 256.
- [13] B. Gieske, et al, "A 600MHz Superscalar RISC Microprocessor with Out-of-Order Execution", *1997 ISSCC Dig. Tech. Papers*, p.176-177, February 7, 1997.
- [14] R. Krambek, et al, "High-Speed Compact Circuits with CMOS", *IEEE Journal of Solid-State Circuits*, Vol.SC-13, No.3, June 1982.
- [15] K. Yano, et al, "Top-down pass-transistor logic design", *IEEE Journal of Solid-State Circuits*, Vol.31, p.792-803, June 1996.
- [16] Y. Ji-Ren, I. Karlsson, C. Svensson, "A True Single-Phase-Clock Dynamic CMOS Circuit Technique," *IEEE JSSC*, vol. SC-22, 1987, pp. 261-266.
- [17] B. Benschneider, et al, "A 300MHz 64-b Quad-Issue CMOS RISC Microprocessor", *IEEE Journal of Solid-State Circuits*, Vol.30, No.11, November 1995.

Modular Telecommunication Converters

Slobodan Cuk
Caltech, Pasadena, California 91125
USA

Abstract

Modern telecommunication system are gradually moving away from the large size, centralized power sources to the new modular concept in which the compact converter modules are utilized directly as the **Point of Use Power Supplies (PUPS)**. This poses additional requirement for high performance such as high efficiency (over 90% for 5V outputs), small size (industry standard footprint of 2.4" x 4.6" x 0.5") and high power density over 20W/inch³. Additional requirement often imposed by the board to board spacing is for low profile of less than 0.5" as well as high reliability and high overall performance dictated by telecommunication standards. The 100W, 5V and 3.3V on-board module design in industry standard footprint is described in more details. Special attention is given to the design and understanding of the new integrated magnetic structures as well as soft switching implementation, which are critical for both the high efficiency of over 90% and low noise performance of the converter modules.

1 Introduction

The current trend in the telecommunication applications is to replace the classical bulky and centralized power supply with a number of distributed power modules which are used as the **Point of Use Power Supply** or **PUPS**, the term coined by the Nortel power application engineers. This has a number of advantages. Instead of distributing the power for 5V and 3.3V at 100A to 200A current, the telecom standard bus voltage of 48V needs only distribute 10A to 20A current and deliver 1A to 2A current to individual functional board. Then the converter modules placed directly on-board of functional module processes the power from this nominal 48V bus (typically ranging from 36V to 72V unregulated power) down to regulated 5V

or 3.3V outputs at 10 to 20A of the load currents.

The functional boards themselves in the racks, which are only 0.6" apart. This then imposes the requirement for the on-board modules to meet the low profile of less than 0.5". This severely restricts the design of the modules, especially the design of the magnetic components. To meet that requirement often the flat magnetic design is the only choice. Extremely small size of the modules imposes the need for extremely high efficiency in order to provide good thermal performance despite the small available surface for the heat removal. The height and space restrictions demand efficiency high enough that any bulky heat sinks can be effectively removed and only a metal baseplate utilized in order to maintain the required low 0.5" profile.

To meet these challenging requirements the efficient converter topology must be chosen along with efficient flat magnetic design and advanced soft switching techniques must be implemented. These three critical design aspects are described in sections to follow and the performance of the practical 100W; 48V to 5V on-board modules using these design techniques is presented. The most critical for the success of the design is the design of the magnetics. Thus, first several sections are devoted to the introduction of some new magnetic configuration and particular the new **Coupled-Inductor** and **Integrated Magnetics** configuration which can result in zero ripple current performance without the need for either the air-gap or turns ratio adjustments.

2 Review of Zero Ripple Phenomena in Coupled-Inductor ĆUKonverter®

The possibility of the zero ripple current in switching converters was first time discovered in the basic **ĆUKonverter®**.

Shown in Fig 1a. This converter is characterized by the capacitive energy transfer through the energy transfer capacitor C as opposed to the inductive energy transfer of the other three basic converter: buck, boost and flyback converters. While this capacitive energy transfer concept was initially claimed by many to be converter's basic flaw (high ripple current in the capacitor, etc.), the fact remains that this is indeed just the opposite: it is the sole reason for numbers of unique properties of the converter such as the ability to couple inductors, ideal isolated version without DC bias in transformer and the latest Capacitive Idling extension of the **ČUKonverter®**.

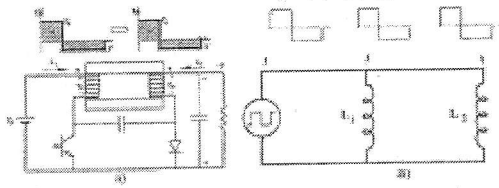


Figure 1: a) Coupled-Inductors **ČUKonverter®** b) AC model of Converter on Figure a) With Identical Inductor's Voltage Waveforms

Figure 1a clearly displays how capacitive coupling leads to possibility of the coupling of two inductors on the common magnetic core. An equivalent AC model of the converter is obtained by shorting the input DC voltage source and all capacitors as shown in Figure 1b. Note that in this AC model, the two inductors are connected in parallel, precisely due to the presence of the energy transferring (coupling) capacitor. The direct consequence is that the **voltage waveforms on the two inductors must be identical independent of the converter operating point, i.e., for all duty ratios**. This immediately leads to the original motivation [1] to place the two inductors on the common magnetic core in a transformer look-alike structure with initially 1:1 turns ratio (see Figure 1a). Since the inductors in DC-to-DC converters have inevitable DC bias, the single core magnetic structure used, as illustrated in Figure 2, needs an air-gap to

prevent core saturation due to DC bias. The air-gap could be evenly split between the two sides resulting in a single spacer for a uniform air-gap. While this may look-like a more practical configuration from assembling and manufacturing point of view (grinding of the core is eliminated), the subsequent analysis will actually demonstrate many practical performance advantages of the configuration shown in Figure 2b.

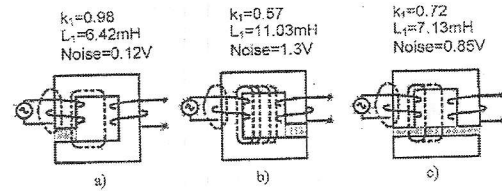


Figure 2: Concentrated and Uniform Air-Gap Versions

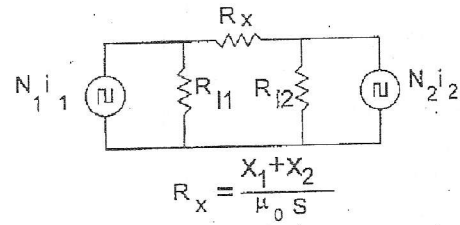


Figure 3: Old Model for Magnetic Structures of Figure 2

Apart from the obvious simplification (single core instead of two cores, smaller magnetics size), as well as lower cost and higher efficiency, what are other benefits of coupled inductor structure? Note that all magnetic structures of Fig. 2 result in some reluctance model of Fig. 3, which clearly does not take into account how is the air-gap distributed along the magnetic path and relative to the two windings. The reluctance model of Fig. 3 through duality transformation results in the classical inductance T model of Fig. 4, which can be used to explain the interesting phenomena of **zero ripple current**.

The coupling coefficient k_1 is defined as

$$k_1 = \frac{\phi_m}{\phi_m + \phi_{l1}} \bigg|_{i_2=0} \quad (1)$$

With ϕ_m and ϕ_{l1} defined in Fig. 2 as mutual flux and primary side leakage flux. Since for an inductor $N \cdot \phi = L \cdot i$

$$k_1 = \frac{L_m i / N_1}{L_m i / N_1 + L_{l1} i / N_1} = \frac{L_m}{L_m + L_{l1}} \quad (2)$$

Therefore k_1 is the inductive divider of the model in Fig. 4. Voltage VIP at the primary of the ideal transformer has the same waveshape of input voltage v but is reduced in magnitude as shown. The actual turns ratio $N_1:N_2$ can be chosen to step up the waveform on the secondary side to its original value v . As this point, if a voltage v identical to the primary voltage is now impressed to the secondary there will be no ripple current on that side because the same voltage appears on both sides of the equivalent leakage inductance L_{l2} . Therefore, the zero-ripple current condition or so called matching condition is analytically very simple:

$$k_1 = \frac{N_1}{N_2} \quad (3)$$

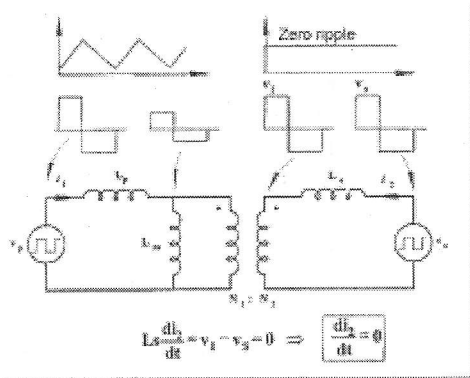


Figure 4: *Equivalent Circuit Model with Zero Ripple Condition*

Thus, to get zero-ripple current on the secondary side, primary side leakage inductance L_{l1} must be selected just right to give coupling coefficient k_1 (2) which **exactly matches** the actual turns ratio as in matching condition (3). Hereby lies a practical problem of precise adjustment especially for low voltage power supplies. For low voltage supplies such as 5V or 2.5V outputs and high current of 10A to 20A, often the output inductor will have just one or two turns for efficiency reasons. This only leaves a very coarse

change in the turns ratio adjustment, say from 1:2 to 2:3 or 3:4. The practical adjustment was accomplished then by changing the air-gap and hence through changes of L_m the appropriate fine-tuning of the coupling coefficient k_1 to meet matching condition (3). While, the situation is somewhat better for higher voltage outputs, such as 15V or 24V, where typically there is at least 15 turns on output inductor, the fact remains that the fine tuning of the air-gap to the particular fixed turns ratio is still needed to achieve zero-ripple current on one side.

Clearly, a method which would **guarantee zero-ripple current without the need for adjustment** would be preferred. It turns out that such a method came out as a byproduct of the fundamental investigation of how the position of the air-gap relative to the two windings effects (concentrated gaps on either side relative to split gap as in Fig. 2) overall coupled-inductor performance.

Effects of the Position of the Air-Gap

The following experiment dramatically demonstrates the effect of gap position on the characteristics of the Coupled-Inductor magnetic structure and at the same time inadequacy of the old model.

In the experiment shown in Fig. 2a, the two windings of an UU60 magnetic core (represented for simplicity as an EI core in Fig. 2) have the same number of turns. Winding 1 is **driven** with a sinusoidal voltage source v_1 and winding 2 is left **open**. The following measurements are performed: coupling coefficient k_1 , inductance L_1 seen from winding 1 and radiated noise measured using a telephone pickup at a fixed distance from the core (1cm). Limiting radiated noise is important from the practical point of view if the power supply is physically close to noise-sensitive equipment like a magnetic storage device. These measurements are repeated for three different winding arrangements: gap concentrated on leg 1 (Fig. 2a), gap concentrated on leg 2 (Fig. 2b) and spacer gap (Fig. 2c). The total gap is the same in all three cases to emphasize the difference the gap distribution has on the performance. Since total gap is the

same, the reluctance R_x in Fig. 3 is the same for all three cases and **identical** equivalent circuit model of Fig. 4 will result. The model of Fig. 4 would clearly lead to the **identical circuit performance**. Yet, the experimental measurements on the three core examples give an entirely different picture as seen in Fig. 2. The coupling coefficient k_1 , for example, is **not constant** as predicted by the model of Fig. 4, but **varies dramatically** from 0.98 in Fig. 2a to 0.57 in Fig. 2b.

The past practical implementations have predominantly favored the use of the magnetic structure of Fig. 2c, since the implementation requires only a paper spacer thus avoiding the messy grinding of one of the magnetic legs. Clearly the substantial leakage of the primary winding and corresponding reduced induced voltage on the secondary (when 1:1 turns ratio is used) has to be compensated by appropriately increasing secondary turns until the same voltage is induce as the primary driving voltage. At the point the matching condition is achieved, and external voltage drive equal to primary drive will result in zero ripple current on the secondary.

New permeance model

The experimental results of Fig. 2 can be qualitatively explained as follows. Let us look first at the case of Fig. 2a and almost perfect coupling coefficient of 0.98. In this case, the gap is very close to winding 1. Thus the *mmf* due to the current in winding 1 is compensated by equal drop of the gap reluctance, so that the rest of the core magnetic path is at the same constant magnetic potential. As a result, the leakage in the air is small and most of the flux couples with winding 2, so that coupling is very good. In the second case of Fig. 2b, the gap is far from winding 1. The upper part of the U piece and the I piece are at the substantially different magnetic potential, so that there is significant leakage flux and coupling is much worse. The different values of inductance L_1 and radiated noise can be also explained by similar reasoning. The leakage flux is much bigger for Fig. 2b. Leakage flux contributes to the total value of measured

inductance L_1 almost doubling the inductance in comparison with fig. 2a. Radiated noise is likewise almost ten times larger than in case of Fig. 2a.

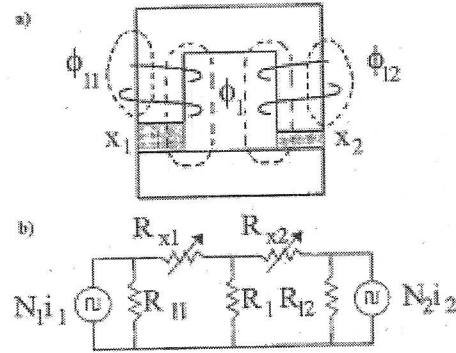


Figure 5: Definition of the leakage fluxes a) and the reluctance model b)

In order to obtain equivalent circuit models which **accurately represent** each of the three different magnetic structures, we must **separate** the total leakage flux from one winding into two parts: the leakage flux closes in the air **before** crossing the air-gap and the leakage flux that closes in air **after** crossing the gap. This is shown in Fig. 5a. A modified permeance model is shown in Fig. 5b, where permeances, P_{x1} and P_{x2} are the permeances of gap x_1 and gaps x_2 . P_{11} and P_{12} are the permeances of flux paths in air that do not cross the air-gaps. Measurements on different cores show that for given geometry the permeances, P_{11} , P_{12} and P_1 are constant irrespective of the gap size and gap arrangements. Only P_{x1} and P_{x2} depend on the gaps.

The three leakage permeances can be experimentally determined from three independent measurements, which can always be obtained on a linear and reciprocal two-port circuit. Note that the other two permeances in the model of Fig. 5b, P_{x1} and P_{x2} are already known, since they could be calculated from the respective air-gaps and core cross section and number of turns. The main advantages of this model is that from a single set of measurements on a certain core with any value of gaps, the leakage permeances could be uniquely determined. These leakage permeances would then uniquely characterize the core and model describes

the magnetic core structure for any other values of gaps.

Simplified permeance model

Measurements for various standard core (UU, UI and EI) clearly show that the leakage permeances P_{l1} and P_{l2} are an order of magnitude (8 to 20 times) smaller than the permeance P_1 . Therefore both P_{l1} and P_{l2} could be neglected without introducing the significant error resulting in simplified T reluctance model of Fig. 6. This permeance model can then through duality transformation be converted to the Π inductance model of Fig. 7a.

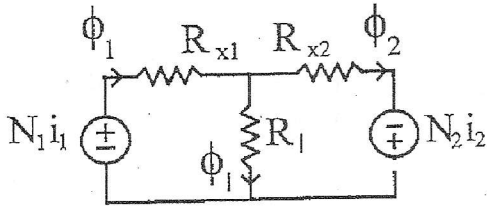


Figure 6: Simplified model of the new reluctance model of Figure 5

At this point it is instructive to compare the new simplified inductance model with the old T transformer model of fig. 4. To emphasize the similarity as well as differences, the T model of Fig. 4 is converted to its equivalent circuit model in Fig. 7b in which all inductances are referred to the secondary side. It appears that the only difference between the simplified new model and the old model is in the Π versus T arrangement of three inductances. It is also clear that one model can be obtained from the other by the classical Y- Δ transformation. A natural question then arises: *If the models are equivalent, what are the advantages of the new model?*

In the new model permeance P_1 is constant and independent of gaps, while the permeances P_{l1} and P_{l2} in the old model are very strongly **dependent on the air gaps**. For example, P_{l1} is calculated from Δ -Y transformation as:

$$P_{l1} = P_1 P_{x1} / (P_1 + P_{x1} + P_{x2}) \quad (4)$$

Since gap permeances are larger than leakage permeances, P_{l1} is the strong function of two gap permeances.

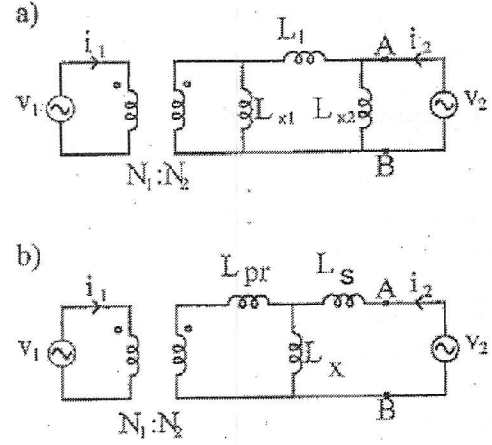


Figure 7: New Π reluctance model a) and classical T inductance model b)

Practical implementation of a new coupled-inductor structure

The new model of Fig. 7a has provided a new insight, which now for the first time favors the magnetic structure of Fig. 2a. In this case, there is no gap on the secondary winding side, hence $R_{x2}=0$ and the permeance model of Fig. 8a is obtained. Zero reluctance corresponds to infinite inductance hence corresponding inductance L_{x2} of the model in Fig. 7a becomes an open circuit and the equivalent circuit model of Fig. 8b is obtained. In this case, the leakage inductance on the primary is zero, hence primary coupling coefficient $k_1=1$ and the matching condition (3) becomes:

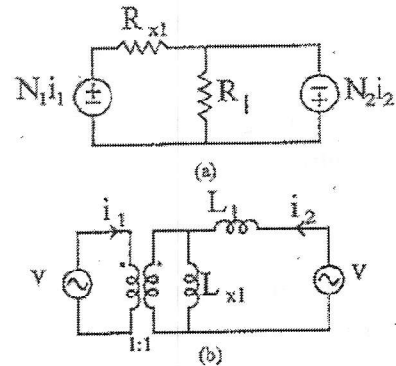


Figure 8: Reluctance Model a) and Inductance Model b) for New Structure of Figure 2a

Zero ripple condition on secondary:

$$N_1=N_2 \quad (5)$$

This is clearly a big advantage in practical implementation since the need for any adjustment is eliminated: neither turns ratio adjustment nor air-gap adjustment is needed. Note that the actual measurements for the magnetic structure of Fig. 2a resulted in coupling coefficient of 0.98, but not 1 as the model show. This is to be expected, since the simplified model has actually neglected the primary leakage flux before the air-gap, which would easily account for this difference. Another important advantage of this structure as that the radiated noise originated in the air-gap is reduced by an order magnitude in comparison with previous magnetic configurations.

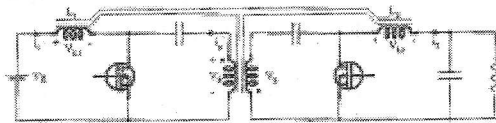


Figure 9: *Integrated Magnetics ĆUKonverter®*

This magnetic structure of Fig. 2a (zero-ripple current on the ungapped side) has not been used in the past for fear of high residual ripple current. The simplified inductance model showed that there is no leakage inductance on the primary side. However, there is still large leakage inductance associated with the secondary side, which would limit the residual ripple current due to voltage mismatch still to the same value as with the previous coupled-inductor structures.

Flat Integrated Magnetics Implementation

The coupled-inductor concept was generalized into an Integrated Magnetics approach for the first time in the isolated ĆUKonverter® illustrated in Fig. 9. Note that in this converter all three magnetics components (input inductor, output inductor and isolation transformer) have identical voltage waveforms. As before, this comes as a direct consequence of the primary side and secondary side energy transferring capacitances. Thus, both inductors and transformer can be

combined into a single Integrated Magnetics structure with significant reduction in physical size.

For on-board modules for telecommunication application low profile of the module, often less than 0.5", is one of the key design requirements. Magnetic structures are usually bulky and do not lend themselves naturally to low profile. Thus, recently a different approach in the design of magnetics components has emerged, called "flat magnetics". Flat Magnetics are low-profile magnetics realized using Printed-Circuit Board (PCB) technique. An automated multi-layer PCB processing replaces the expensive manual winding and winding terminations. This technique is now utilized by a number of suppliers of on-board modules to produce **individual magnetic components** in a flat magnetics configuration. The ĆUKonverter® offers the unique opportunity to combine **all three magnetics into a single Flat Integrated Magnetics structure**.

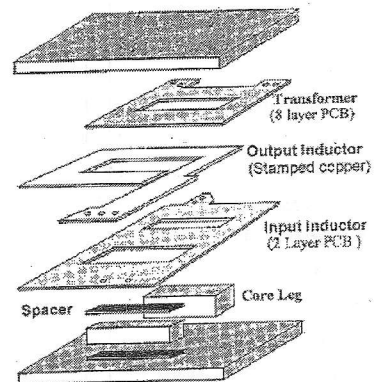


Figure 10: *Winding Arrangement of the Flat Integrated Magnetics*

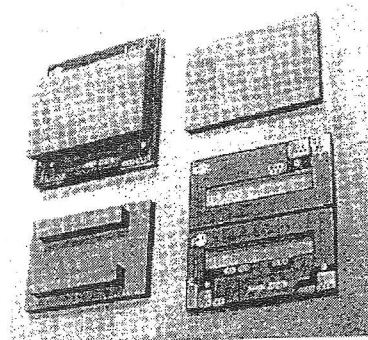


Figure 11: *Photo of the prototype of the Integrated Magnetics*

The new core configuration with the concentrated gap on only one side is particularly well suited for the implementation of the Flat magnetics as illustrated in Fig. 10. Note that the air-gap is provided only on one side via two paper spacers. By splitting the gap into two gaps on the same side, the negative effects of the fringing flux are also minimized. The isolation transformer is built using the 8 layer PCB and placed on the **gapped** leg. Placed on the same leg is also input inductor realized by a regular 2-sides PCB? The output inductor (for this 48V to 5V, 20A module) is stamped out of 1mm copper and placed on the **ungapped leg** as seen in Fig. 10. Photograph of Fig. 11 illustrated the actual completed Flat magnetics piece for 100W on-board module along with its subassembly parts.

Soft Switching Implementation in the ĆUKonverter®

The unique topology of the isolated ĆUKonverter® in which the output diode is replaced by another controllable MOSFET switch Q_2 permits a natural implementation of the Soft Switching as illustrated in Fig. 18. Note that for purposes of simple explanation, the isolation transformer is modeled by its magnetizing inductance, which in turn is replaced by a current source having a large magnetizing ripple current. In fact, one of the prerequisites for Soft Switching is that this ripple current is so large that the total sum current $i_1 + i_2 + i_m$ which is seen by each switch has a finite negative peak current I_N in addition to the positive peak current I_P . Note also that the charge on parasitic capacitances C_1 and C_2 of the two devices is present there in complementary parts of the switching cycle, when either device is OFF. Thus, the main idea is to recycle the energy stored on parasitic capacitors in alternate parts of the interval through the mechanism of the magnetizing current serving as the medium for such transfer, acting as the current source of correct polarity. this can be accomplished by controlling the active devices in such a way to introduce two transition times t_1 and t_2 (as shown on Fig. 18), during which

both transistors are OFF, thus eliminating the ill-defined, uncontrollable transition of hard switching when both switchers are ON at the same time.

When Q_1 was initially ON, after its turn-OFF, the positive peak magnetizing current I_P will transfer energy stored on C_2 onto capacitor C_1 in a non-dissipative fashion. Clearly, the voltage on Q_2 will go down linearly, while voltage on Q_1 will rise linearly as seen in waveforms of Fig. 18. After discharge of C_2 to zero voltage, the continuation of charging C_2 in opposite direction by this current source I_P is prevented since, at that point, body diode of the MOSFET turns ON and keeps the voltage across device at zero level. This is turn keeps voltage on C_1 from further increase. Once voltage on C_2 has reached 0 level, synchronous rectifier MOSFET can be turned-ON with no losses, since its stored charge has already been transferred non-dissipatively onto the other capacitor. As expected, during the second transition interval t_2 the opposite events occur, and C_1 is discharging, while C_2 is charging. Once again, turning now ON Q_1 transistor at zero voltage level results in no turn-ON switching losses. Now it is apparent why the total switch current during the second transition interval t_2 has to be negative: the energy transfer has to take place in the opposite direction.

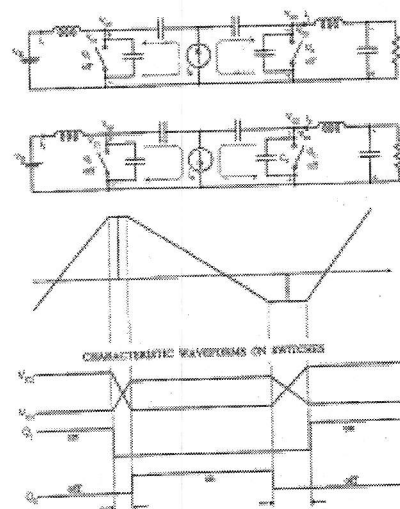


Figure 12: Soft Switching Technique: Bipolar magnetizing current of isolation transformer **RECYCLES THE ENERGY** between two MOSFETs' parasitic capacitance. Both switching devices are

turned-on at zero voltage eliminating switching losses and noise

The high magnetizing ripple current is the pre-requisite for meeting the above negative current condition. Note, however, that in the **ČUKonverter®** this high ripple current is already naturally present and is contained to the middle of the converter so it is invisible to either source or load. Through the Integrated Magnetics and ripple steering, input and output ripple currents are still very small. The large magnetizing current ripple and hence small magnetizing inductance of the transformer are actually desirable, since this would translate directly into a small size of the Integrated Magnetics device. To the contrary, large output inductor current ripple is needed for the Soft Switching operation of the buck converter of Fig. 17. Hence, large output filtering capacitor is needed for buck converter to reduce output voltage switching ripple.

Experimental results

The 100W, 48V to 5V on-board converter modules was designed and built using the advanced technology described here and operating at the fixed switching frequency of 140kHz. The power stage is built on a copper-clad aluminum substrate such that all major heat dissipating components, such as Flat Integrated magnetics, primary and secondary MOSFET switching devices and the ceramic capacitors are all using the aluminum substrate as heat sink. A photograph of the power stage is shown in Fig. 13.

The 100W converter was built using industry-standard footprint for on-board modules of 2.4" x 4.6" x 0.5". What, however, sets this module apart from other modules in the same size is the absence of any additional heat sinks. Thanks to the efficiency of over 90% both the heat sink and forced-air cooling are eliminated. At 90% efficiency at full load the total losses of 11W are generated. However, the footprint of the metal substrate is approximately 11 square inches, which results in 1W/in² dissipation. This dissipation can be managed by convection cooling alone with only a modest

temperature rise. At full power and 55°C ambient temperature, the baseplate temperature is still below 100°C.

For comparison purposes, the conventional on-board modules with 80% efficiency require an additional heat-sink with at least 1" height which increases three times the total module height to 1.5" and makes the module not usable for on-board applications. By eliminating the heat sink, 90+ series **ČUKonverter®** design makes the true on-board use of the modules possible even at 100W power level. Finally, owing to the soft switching, the inherent EMI noise is minimized and the small built in on-board EMI filter is sufficient to bring the model in compliance with the regulations and make it self contain by eliminating the external bulky EMI filter usually required in such modules.

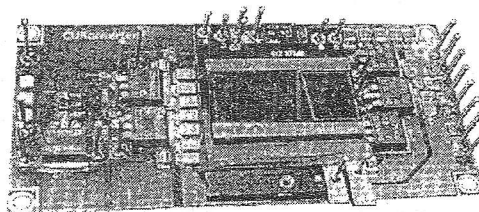


Figure 13: Power stage of the 100W, 5V on-board module of TESLAco's the 90+SERIES **ČUKonverter®**

Application of Field Theory Techniques in MIC and MMIC Design

Nikolaos Uzunoglu

Abstract Research work carried out at the Microwave Laboratory of The National Technical University of Athens, on application of Field theory techniques to analyze and design Microwave Integrated Circuits (MIC) and Monolithic MIC (MMIC) will be presented. Integral Equation and Mode Matching Techniques has been applied to treat various circuits, antenna structures and useful data has been drawn by using numerical techniques.

I. INTRODUCTION

The wide use of hybrid as well as monolithic microwave circuits with an increasing trend towards the use of higher frequencies up to 100 GHz necessitated the development of advance modeling techniques concerning the computation of complex structure microwave circuits as well as radiation structures.

In this context it is necessary to develop accurate and general analysis techniques to solve the corresponding boundary value problems. It is evident that microwave circuit theory must be used to analyze the circuit structures while the electromagnetic solution techniques presented in this summary should used to develop powerful CAD techniques.

These structures can be classified into the following category of problems

The following fundamental geometries has been examined:

- Microstrip / Coplanar Lines.
- Multilayer - Anisotropic substrate Microstrip Lines.
- Step Discontinuities in Microstrip Coplanar Lines.

Prof. Nikolaos Uzunoglu

Institute of Communication and Computers Systems

National Technical University of Athens - Greece

nuzu@cc.ece.ntua.gr

- Via Connections in Microstrips
- Open Microstrip structures such as disks, patches.
- Dielectric Resonators.
- T shape Microstrip Junctions.
- Transmission lines where the dominant and high order mode characteristics to be computed.
- Discontinuity in Lines needed to simulate Circuit Structures.
- Three dimensional structures such as of Dielectric Resonator as well as MMIC Structures.

Examination of these structures shows that in case of the step discontinuities it is suitable to use the mode matching technique. In all the other cases integral equation techniques have been employed. In the following a brief description of these methods is given.

II. INTEGRAL EQUATION TECHNIQUES (IET) [1], [2]

In all structures mentioned previously, except of the step discontinuities integral equation were employed. In case of T - junctions a hybrid method combining the method of moments - IET and mode matching techniques were employed.

The principles of IET is based on the following principles:

- a) The Green's function of a related structure after removing a part of the structure is computed by analytical or semi analytic techniques. The most common case is the horizontally stratified layered structure which is amenable to analytic solution for both isotropic or anisotropic permittivity and/or permeabilities.
- b) After determining the Green's function of the reduced structure an integral equation is obtained for the surfaces and volume concerning the additional part of the structure. These integral equation have the form:

$$\begin{aligned} \underline{E}(\underline{r}) = & \underline{E}_0(\underline{r}) - j\omega\mu_0 \iint_S \underline{\overline{G}}(\underline{r}/\underline{r}') \cdot \underline{J}(\underline{r}') d\mathbf{s}' \\ & + k_0^2 \iiint (\epsilon_r(\underline{r}') - 1) \underline{\overline{G}}(\underline{r}/\underline{r}') \underline{E}(\underline{r}') d\mathbf{r}' \end{aligned} \quad (1)$$

where r is dielectric medium point

$\underline{E}(r)$, $\underline{E}_0(r)$ are the unknown total and incident fields respectively,

$\underline{\bar{G}}(r/r')$ is the Green's dyadic function for an excitation point r' , and r denotes the observation point r .

$\varepsilon_r(r')$ = relative permittivity of the dielectric medium.

The second term in the right hand side of Eq (1), corresponds to surface currents while the three dimensional integral is related to dielectric inhomogeneities.

On the conductor surface an additional integral equation is obtained by placing the point on the surface S and requesting the tangential components of the electric field to be zero.

c) The obtained system of equations are solved by a method of moments technique. In this process the unknown quantities $\underline{E}(r)$ and $\underline{J}(r)$ are expanded into describing functions selected by taking into account «physical aspects».

d) In particular the use of Galerkin technique which requires the use of identical set of describing and testing functions provides high degree of numerical stability.

The IET are characterized with their very high accuracy. Their drawback is the significant computer resources needed and the necessity of developing each time different impedance matrices.

III. MODE MATCHING TECHNIQUE [3], [4]

In case of abrupt discontinuities, instead of integral equation techniques, a direct mode matching has been applied to obtain solutions. This requires the knowledge of the full spectrum (in case of shielded structures propagating and evanescent modes) of the waveguides corresponding to both sides of the discontinuity structure. Then moments of the continuity equation for the transversal electric and magnetic field on the discontinuity plane are taken to obtain a linear system of equations. The obtained solution is extremely fast and accurate.

IV. CONCLUSIONS

General methods of solving complex discontinuity structures in MIC/MMIC structure were reviewed

REFERENCES

- [1] N. Uzunoglu, N. Alexopoulos and J. Fikioris «Radiation Properties of Microstrip Dipoles» *IEEE Trans. Antennas Propagation*, *IEEE* Ap-27, p.p. 853-858, 1979.
- [2] C. Capsalis, C. Chronopoulos and N. Uzunoglu, «A Rigorous Analysis of a Coaxial to shielded Microstrip Line Transition», *IEEE Trans. MTT-37*, p.p. 1091-1098, 1989.
- [3] A. Theodorou and N. Uzunoglu, «Transition Properties of a Vertical Conductor Connecting Two Microstrip Lines at Different Planes», *IEEE Trans. MTT-42*, p.p. 2277-2284, 1994.
- [4] C. Markopoulos and N. Uzunoglu «Full Wave Analysis of a Shielded Microstrip T-Junction» *Jour. of Electromagnetic Waves and Applications* vol. 11, p.p. 437-458, 1997.

SAVREMENE POLUPROVODNIČKE KOMPONENTE SNAGE

Miloš B. Živanov i Ljiljana D. Živanov, Fakultet tehničkih nauka,
Institut za energetiku i elektroniku, Novi Sad Jugoslavija

Sadržaj: U ovom radu izvršena je podela i upoređenje najvažnijih silicijumskih komponenti snage. Posebno su prikazani novi pravci razvoja i nove strukture komponenti snage. Pravac koji najviše obećava je korišćenje trench strukture. Pored novih struktura analizirana su i razna poboljšanja poznatih komponenti. Prikazani su savremeni trendovi razvoja komponenti za integrisana kola snage. Takođe su diskutovani mogući pravci razvoja SiC komponenti snage.

Ključne reči: Si komponente snage, SiC komponente snage, MOS tehnologija, U MOS tehnologija, komponente za integrisana kola snage.

1. UVOD

Poluprovodničke komponente snage su najvažniji deo savremenih sistema za regulaciju i raspodelu snage i energije. Usmeraći za velike snage neophodni su u nizu primena od niskog (<100 V) do visokog napona (>100 V), kao što su napajanje za računare, telekomunikacionu i kancelarijsku opremu, automobilsku elektroniku do primene za vuču (električna vozila i lokomotive) i u mrežama za raspodelu snage. Tokom 50-tih godina u komercijalnu upotrebu je uveden PiN usmerač. Od tada se beleži stalno povećanje nominalnih napona i struja ovih naprava zasnovano na zahtevu za primenama za veće snage. Osim toga, uvode se nove strukture koje poboljšavaju prekidačke karakteristike. Izbor najbolje silicijumske strukture za određenu primenu zavisi od nominalnog napona usmerača. To je razlog što će prvo biti razmotren razvoj usmerača za niske napone (do 100V), a potom usmerača za visoke napone (preko 100 V).

Prekidači za velike snage su najbitnije komponente svih sistema energetske elektronike za regulaciju opterećenja. Prvi poluprovodnički prekidači za velike snage bili su tiristori i bipolarni tranzistori razvijeni tokom 50-tih godina. Tiristori su korišćeni za veće snage, jer su im nominalni naponi i struje rasli brže nego tranzistorima i danas dostigli 6,5kV i 1kA. Tiristor se pravi na jednoj pločici prečnika od 10 do 12,5cm visokorazvijenim procesom duboke difuzije, pri čemu su primešeni galijum i aluminijum. Da bi se dobro kontrolisao probojni napon i uniformna raspodela struje unutar tiristora, bitno je da dopirnost podloge i vreme života manjinskih nosilaca u osnovnom materijalu budu vrlo uniformni. Ovo je postignuto korišćenjem dopiranja transmutovanim neutronima, da bi se postigla vrlo uniformna koncentracija fosfora, kao i korišćenjem elektronskog zračenja, da bi se moglo upravljati vremenom života nosilaca. Fototiristori (tiristori koji se upravljaju svetlošću) su takođe postali dostupni za sisteme prenosa visokim jednosmernim naponom - HVDC (High Voltage Direct Current). Nije verovatno da će oni biti zamenjeni, izuzev ako se sa HVDC pređe na fleksibilni naizmenični prenos - FACT (Flexible Alternating Current Transmission) [1]. FACT sistemi zahtevaju razvoj isplative

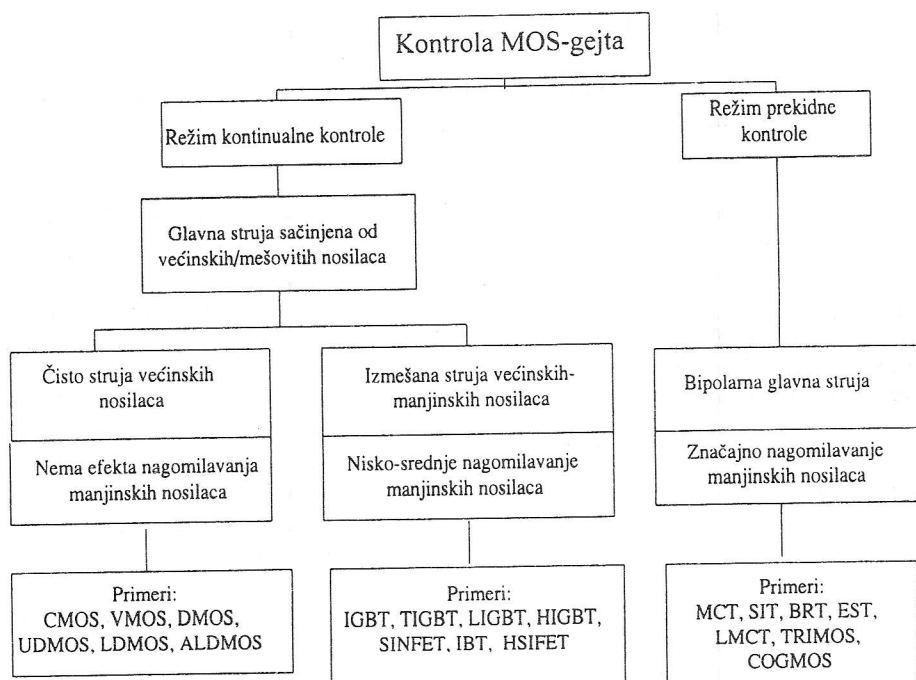
tehnologije za upravljanje reaktivnim elementima, što bi moglo dati motiva za primenu MOS-upravljanih tiristora koji se trenutno razvijaju.

Još od svog uvođenja, tokom 50-tih godina, bipolarni tranzistori su favorizovani za primene u uređajima malih i srednjih snaga zbog mogućnosti bržeg prekidanja. Nominalni naponi i struje su im postepeno rasli do kasnih 70-tih godina. Pošto je bipolarni tranzistor strujom upravljana komponenta čija amplituda kolektorske struje zavisi od bazne upravljačke struje, jedan od najkritičnijih ciljeva pri projektovanju bio je povećanje strujnog pojačanja da bi se smanjila složenost, veličina i težina upravljačkog kola. Na žalost, utvrđeno je da je postizanje tog cilja u suprotnosti sa dobijanjem visokih probojnih napona. Sem toga, pad strujnog pojačanja za tipične radne struje dovodi do pojačanja manjeg od 10, zbog visokog nivoa injekcije. Strujno pojačanje može biti poboljšano u Darlingtonovoj sprezi koja ima veći pad napona u uključenom stanju. Iz tih razloga bipolarni tranzistor je zamenjen MOSFET-om za niže napone i snage tokom 80-tih, a IGBT-om za više napone i snage tokom 90-tih.

Bipolarni tranzistor sa izolovanim gejtom je primer nove generacije snažnih poluprovodničkih komponenti izabranih radi prevazilaženja problema gubitaka u provodnom stanju kod snažnog MOSFET-a pri održavanju stanja visoke ulazne impedanse [1]. Komponenta je kombinacija bipolarnog tranzistora sa visokim nivoom injekcije i širokom bazom i MOS strukture. Komponenta radi sa gustinom struje koja je 10 puta veća od gustine struje snažnog MOSFET-a i 5 puta veća od gustine struje bipolarnog tranzistora. IGBT se obično proizvodi korišćenjem DMOS struktura (koristi se i termin planarne strukture) sa čelijom između 20 i 45 μm , koja je tehnološki ograničena difuzijom i fotolitografijom, a fizički JFET efektom. Ranije su Ueda, Čeng i Baliga predložili trench varijantu IGBT u kojoj je kanal formiran na stranicama zidova vertikalnog žljeba. Trenutno većina istraživača je usmerena ka unapređenju procesa nagrizanja za fabričaku žljeba [2].

Unapređenja do kojih se došlo u poslednje vreme po pitanju integrisanih kola snage i visoko naponskih integrisanih kola je direktna posledica novo konstruisanih komponenti kao i usvajanja nove VLSI tehnologije u procesu proizvodnje. Neke lako integrišuće visokonaponske komponente i komponente snage su već našle primenu u oblastima telekomunikacija, izvora napajanja, kontrole motora i mobilne elektronike [3].

Činjenica je da MOS kontrolisane komponente snage imaju veoma pojednostavljene zahteve pobudnog kola i to čini lateralne MOS komponente važnim komponentama u integrisanom kolu snage (PIC). Ova klasa komponenata snage uključuje strukturno vrlo raznovrsne komponente kao što su npr. lateralni DMOS tranzistor (LDMOST), lateralne bipolarnе tranzistore sa izolovanim gejtom (LIGBT), hibridne IGBT, planarne SCR kontrolisane MOS kolima, i mnogo drugih koje su još u razvoju [4,5].

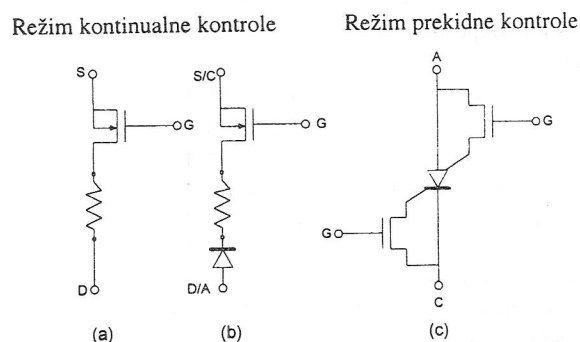


Sl. 1. Pregled komponenti snage koje se upravljaju sa MOS-gejtom (proširena podela iz [4]).

2. PODELA KOMPONENTI SNAGE KOJE SE UPRAVLJAJU SA MOS-GEJTOM

Uopšteno, komponente snage koje se upravljaju sa MOS-gejtom koriste MOS tranzistore za kontrolu glavne struje. Kontrola gejta može biti dvojaka: kontinualna i prekidna kontrola. U slučaju kontinualne kontrole komponenti snage, napon na gejtu ne samo da uključuje i isključuje komponente već kontroliše (neprekidno) glavnu struju komponente. Ovo se može ostvariti u odsustvu ili prisustvu bilo kog četvoroslojnog p-n-p-n (tiristor) latch-up. Primer za ovo je lateralni DMOS tranzistor. Sa druge strane u režime prekidnog rada gejta komponente se uključuju ili isključuju dovođenjem napona na gejta. Jednom kada se komponenta uključi ili isključi prestaje kontrola gejta (prekida se). Usled toga, nivo provodne struje postaje nezavisan od napona gejta. Ovo omogućuje da komponente rade izvan latch-up tačke, a tipičan primer je tiristor kontrolisan MOS (MCT). Na slici 1. je prikazan pregled MOS kontrolisanih komponenti. Kontinualno kontrolisane komponente se mogu podeliti u zavisnosti od mehanizma provođenja struje tj. da li struju čine većinski nosioci ili mešoviti nosioci. Ova poslednja kategorija se dalje može podeliti u zavisnosti od tipa injektora manjinskih nosilaca koji može biti p-n spoj ili Šotki barijera. Uz to, u željenom režimu rada, kontinualno kontrolisane komponente snage pokazuju strujno ograničenu (slično kao kod pentode) izlaznu karakteristiku. Sa druge strane, u režimu prekidne kontrole (slično kao kod tiristora) komponente snage glavnu struju čine struje dva različita nosioca i one imaju izlazne karakteristike sa negativnom otpornošću (regenerativne). Na slici 2. su prikazana uprošćena kola komponenti snage kontrolisane MOS-gejtom.

Iz ove perspektive, moguće je kategorisati i porediti raznovrsne MOS, MOS-Šotki i MOS-bipolarne komponente snage. Posebna pažnja je posvećena tačnoj ulozi MOS-gejta u radu komponenti snage. Uz to, omogućen je uvid u različite varijante komponenti sa ciljem da se prilagode otpornosti u uključenom stanju i brzine uključivanja i isključivanja u konkretnoj primeni



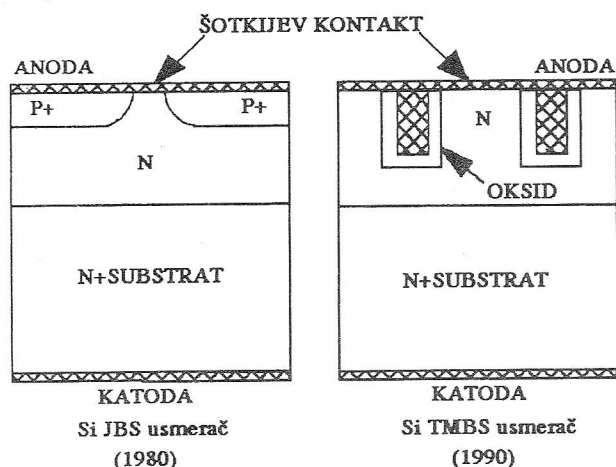
Sl. 2. Pojednostavljena predstava (a) komponenti čiju struju čine većinski nosioci (b) sa modulacijom provodnosti i (c) tiristorski tip komponenti snage sa MOS kontrolom.

3. USMERAČI ZA VEĆE SNAGE

Usmerači za veće snage sa sposobnošću blokiranja inverznog napona manjeg od 100V koriste se u prekidačkim uređajima za napajanje i automobilske elektronici. Prve dostupne naprave za ove primene bili su germanijumski usmerači. Međutim, njihova velika inverzna struja zasićenja povezana sa malim energetskim procepom (0,66eV) dovela je

do toga da su ih zamenili silicijumski PiN usmerači.

Kod struktura PiN usmerača koncentracija primesa i debljina izolacione oblasti izvedeni su tako da mogu podneti traženi inverzni napon blokiranja [6]. Tokom uključenog stanja teče struja, P^+ i N^+ oblasti injektuju visoku koncentraciju šupljina i elektrona u izolacionu oblast i to, kad primenjeni napon nadvisi ugrađeni potencijal PN spoja, vodi povećanju njegove provodnosti. Zbog ovog je pad napona u uključenom stanju skoro 1V, a ove strukture imaju nizak probojni napon. Kad se primeni inverzna polarizacija, injektovani elektroni i šupljine moraju biti izvučeni pre formiranja osiromašene oblasti koja blokira inverzni napon. Zbog toga postoji inverzna struja oporavka koja je po amplitudi obično jednaka struji u uključenom stanju. Postojanje vremena oporavka vodi disipaciji snage koja ograničava maksimalnu prekidačku (radnu) učestanost PiN usmerača.



Sl.3 Razvoj niskonaponskih (do 100V) usmerača za veće snage.

Da bi se eliminisali problemi u vezi oporavka PiN usmerača, tokom 70-tih godina razvijena je Šotkijeva dioda-SBD (Schottky Barrier Diode) [6]. Njena struktura se sastoji od usmeračkog spoja metal-poluprovodnik i driftovske N oblasti načinjene da može da izdrži zahtevani inverzni napon. Provođenje Šotkijeve diode u direktnoj polarizaciji zasniva se na transportu elektrona preko barijere metal-poluprovodnik. Pad napona Šotkijeve diode u uključenom stanju je zbir pada napona na barijeri i omskog pada napona na driftovskoj n oblasti. Za niske probojne napone (do 100V) koncentracija primesa u driftovskoj N oblasti je između 5×10^{15} i 10^{16} cm^{-3} , a njena debljina može biti manja od $10 \mu\text{m}$, što daje relativno mali pad napona, pa je za najbolje postojeće uređaje pad napona oko 0,55V. Zamenjena PiN usmerača onim sa Šotkijevim diodama omogućila je smanjenje gubitaka u uključenom stanju na polovinu. Sem toga, značajna prednost Šotkijevih dioda je njihova veća brzina rada zbog nepostojanja inverzne struje oporavka koja postoji u PiN usmeračima, pa to omogućava projektovanje prekidačkih uređaja za napajanje koji rade na višim učestanostima. Takvi uređaji su manji i lakši jer se povećanjem učestanosti smanjuju dimenzije magnetskih komponenti (transformatora i prigušnica).

Efikasnost prekidačkih uređaja za napajanje veoma je zavisna od odnosa pada napona na izlaznim usmeračkim

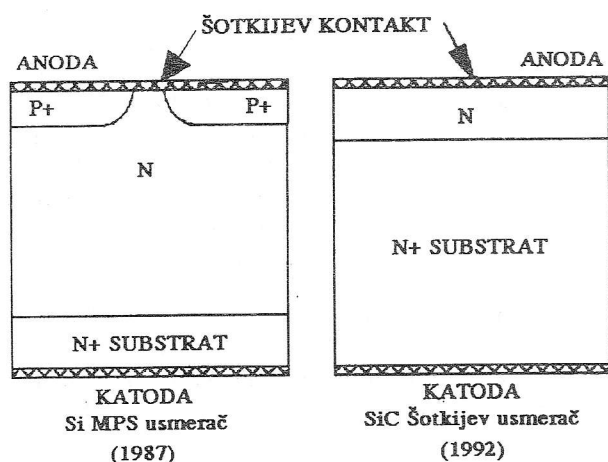
komponentama i izlaznog napona. Uređaj za napajanje izlaznog napona 5V sa Šotkijevom diodom ima pad napona 0,55V, što je gubitak od 10%. Ovaj problem će postati još značajniji kada se, za nove generacije integrisanih kola vrlo visokog stepena integracije (VLSI), napon napajanja smanji na 3,3V i 1,6V. To nameće potrebu razvika usmerača sa još manjim padom napona u uključenom stanju. Jedna mogućnost je Šotkijev usmerač sa kontrolisanom spojnom barijerom-JBS (Junction Barrier Schottky) prikazan na slici 3. Ova struktura sastoji se od Šotkijeve diode sa rešetkastim spojem integrisanim ispod kontakta metal-poluprovodnik. Ovaj spoj služi da spreči snižavanje potencijala Šotkijeve barijere, pojavu koja proizvodi niske probojne napone i velike inverzne struje. Upotrebom tehnologije vrlo visokog stepena integracije dobijeni su JBS usmerači sa padom napona u uključenom stanju od 0,35V. Dalje smanjenje pada napona u uključenom stanju nije bilo moguće zbog površine koju su zauzimale oblasti spojeva.

Nedavno je projektovan i eksperimentalno prikazan još bolji usmerač za velike snage i nizak napon, TMBS usmerač. Bazira se na uvođenju MOS-strukture sa rovom (trench) ispod kontakta metal-poluprovodnik [7]. Poprečni presek dat je na slici 3. Sprega naelektrisanja iz meza oblasti (oblasti između dva renča) i onog iz metala na zidovima rova proizvodi preraspodelu električnog polja ispod kontakta metal-poluprovodnik. Za Šotkijeve diode električno polje linearno opada sa rastojanjem. Za koncentraciju primesa od 10^{17} cm^{-3} ovo daje probojni napon od 9,5V. Nasuprot ovom, električno polje kod TMBS strukture ima oblik, sa dva lokalna maksimuma: jednim na spoju metal-poluprovodnik, a drugim na dnu rova. Pokazano je da ova preraspodela polja omogućava mnogo viši probojni napon. Vršno električno polje na spoju metal-poluprovodnik je malo, što daje malu inverznu struju. Zbog velike koncentracije primesa u meza oblasti, TMBS usmerači imaju pad napona u uključenom stanju od 0,2V.

Na osnovu dvodimenzionalnih numeričkih simulacija TMBS strukture zaključeno je da je maksimalni napon blokiranja 25V [7], zbog velikog električnog polja na dnu rova. Međutim, promenom profila koncentracije primesa moguće je taj napon povećati bez znatnijeg povećanja pada napona u uključenom stanju. U TMBS strukturi sa linearnim dopiranjem (GD-TMBS - Graded Doping TMBS) koncentracija primesa linearno raste od 10^{16} cm^{-3} na spoju metal-poluprovodnik do $3 \times 10^{17} \text{ cm}^{-3}$ na granici epitaksijalnog sloja i N^+ podloge. Osim toga, debljina oksida u oblasti rova povećana je sa 500 angstrema kod konvencionalne TMBS strukture na 2000 angstrema da bi se umanjilo električno polje na dnu rova. Dvodimenzionalnim numeričkim simulacijama utvrđeno je da ove strukturne promene menjaju raspodelu električnog polja tako da ono postaje približno konstantno u funkciji dubine. Valja zapaziti da je električno polje na spoju metal-poluprovodnik čak niže nego za konvencionalnu TMBS strukturu, pa tako GD-TMBS usmerač dozvoljava proširenje koncepcije na više napone blokiranja sa malim povećanjem pada napona u uključenom stanju. "Linearni" profil koncentracije primesa predložen za GD-TMBS strukturu može se lako ostvariti tokom epitaksijalnog rasta N driftovskog sloja

na N^+ podlozi pomoću računarski kontrolisanih procesa epitaksijalnog rasta koji se danas primenjuju. Komercijalizacija TMBS strukture nudi velike olakšice pri povećanju efikasnosti uređaja za napajanje čiji su izlazni naponi od 5V (trenutno u upotrebi) do 1,6V (biće potrebno u budućnosti).

Usmeraći za velike snage i visok napon (>100 V) su potrebni za mnoge primene, npr. upravljanje motorima. Najveći broj komercijalnih sistema koristi PiN usmerač čija je struktura u suštini identičan PiN usmeraču za niže napone, samo mu je izolaciona oblast šira da bi se povećala sposobnost inverznog blokiranja. Dostupne su ovakve naprave sa naponima blokiranja do 5kV. Njihov osnovni nedostatak je velika inverzna struja oporavka koja postoji prilikom prebacivanja iz uključenog u stanje inverznog blokiranja zbog velike količine naelektrisanja u driftovskoj oblasti. Da bi se ograničilo vreme života nosilaca u driftovskoj oblasti razvijene su mnoge metode koje su trebale da na taj način smanje vreme isključenja, ali su sve dovodile do povećanja pada napona u uključenom stanju [6]. Zbog toga je uobičajeno da se pravi kompromis između gubitaka u uključenom stanju i onih tokom isključenja, kad se projektuju ovakve naprave.



Sl.4 Razvoj visokonaponskih (preko 300V) usmerača za veće snage.

Najbolju kompromisnu krivu dobijamo za integrisani PiN/Šotki usmerač MPS (Merged PiN Schottky) čija je struktura data na slici 4 i statičku oklopljenu diodu-SSD (SSD-Static Shielded Diode). Što je naelektrisanje u P oblasti ispod metala u SSD manje, njena karakteristika više liči na karakteristiku MPS usmerača. Premda se ispostavlja da je MPS struktura slična JBS strukturi sa slike 3, fizički način njenog rada je drugačiji zbog injektovanja manjinskih nosilaca iz spoja (pojava koja kod JBS naprave ne postoji). Kod JBS usmerača pad napona u uključenom stanju je oko 0,5V, pa je potencijal spoja nedovoljan za injektovanje nosilaca. Kod MPS usmerača pad napona u uključenom stanju je oko 1V što dovodi do injektovanja manjinskih nosilaca u driftovsku oblast, što za posledicu ima manju otpornost ispod Šotkijevog kontakta, a to omogućava veliku struju kroz spoj metal-poluprovodnik. Može se videti da se MPS usmerač ponaša kao Šotkijeva dioda za padove napona u uključenom stanju manje od 0,6V. Međutim, nasuprot Šotkijevoj diodi čiju struju u uključenom stanju

ograničava velika redna otpornost driftovske oblasti, pad napona na MPS usmeraču ostaje nizak zbog injektovanja nosilaca iz PN spoja kad je pad napona veći od 0,7V. Dvodimenzionalnim numeričkim simulacijama utvrđeno je da profil raspodele nosilaca u MPS usmeraču daje više od osam puta manje nagomilanog naelektrisanja u poređenju sa PiN usmeračem. Time se znatno (za četiri puta) smanjuje inverzna struja oporavka.

Zbog kompatibilnosti proizvodnih procesa za MPS i PiN usmerače očekuje se da će MPS usmerači postati vrlo rasprostranjeni u komercijalnim primenama. Ove naprave se ipak ne mogu smatrati idealnim za energetske uređaje u prekidačkom režimu rada, jer još uvek pokazuju značajna vremena oporavka. Mnogo bolji usmerač za velike snage mogao bi se napraviti koristeći usmerački kontakt metal-poluprovodnik uz smanjenje otpornosti driftovske oblasti i očuvanje sposobnosti blokiranja visokih napona. Prve ideje za postizanje ovog cilja javile su se 1982., a sastojale su se u zameni silicijuma materijalom sa velikim energetske procenom. Na osnovu ovih fundamentalnih istraživanja pokazano je da bi Šotkijeve diode od galijum-arsenida (GaAs) imale mali pad napona u uključenom stanju za napone blokiranja do 500V [8]. Ovo je eksperimentalno verifikovano proizvodnjom GaAs Šotkijevih dioda kod kojih su za Šotkijevu barijeru korišćeni aluminijum (Al) i titan (Ti), a one su danas i komercijalno dostupne. Silicijum karbid (SiC) je materijal koji u ovom trenutku najviše obećava zbog niza prednosti. Komponente na bazi SiC su posebno obrađene u odeljku 8.

4. PREKIDAČI ZA VELIKE SNAGE I NISKI NAPON

Prekidači za veće snage predviđeni za napone blokiranja do 100V potrebni su u uređajima za napajanje, perifernim jedinicama i sistemima automobilske elektronike sa multipleksnom magistralom. Silicijumski MOSFET postao je dominantna komponenta za ove primene iz mnogih razloga:

1) Ima mali pad napona u uključenom stanju zbog male otpornosti driftovske oblasti za ove, relativno niske, napone.

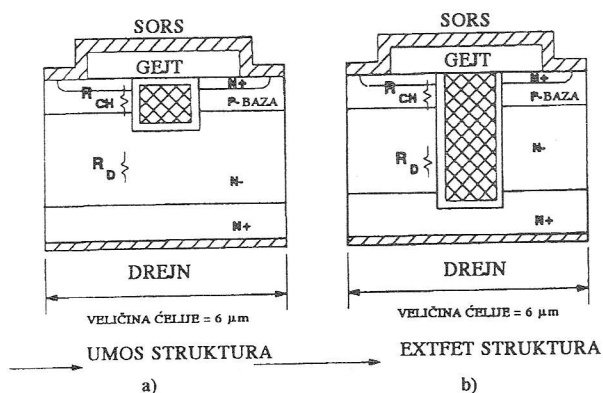
2) MOSFET ima vrlo veliku ulaznu otpornost u stabilnom stanju zbog metal-oksido-poluprovodnik (MOS) strukture svog gejta. Zbog malih ulaznih struja potrebnih da pune i prazne ulaznu kapacitivnost gejta, on se svrstava u naponom kontrolisane naprave kojima mogu upravljati i integrisana kola. Za visoke radne učestanosti (preko 100kHz) struja kapacitivnosti može postati znatna, ali je i tada moguće da upravljačko kolo bude integrisano zbog niskih napona polarizacije gejta (tipično od 5V do 15V) potrebnih za upravljanje MOSFET-om u režimu malog pada napona.

3) U poređenju sa bipolarnim tranzistorima MOSFET ima vrlo veliku sopstvenu brzinu prekidanja zbog toga što se ne injektuju manjinski nosioci. Prekidačko vreme MOSFET-a diktirano je sposobnošću da se ulazna kapacitivnost brzo napuni i isprazni.

4) MOSFET je robusniji i ima bolju oblast sigurnog rada u direktnoj polarizaciji-FBSOA (Forward Biased Safe Operating Area) nego bipolarni tranzistor što dozvoljava eliminaciju snaberskih kola za zaštitu prekidača u tipičnim kolima impulsno-širinske modulacije (PWM - Pulse Width Modulation) kod kojih se prekidanje ne vrši u trenucima kad

signal prolazi kroz nulu, a koja se obično koriste za upravljanje motorima.

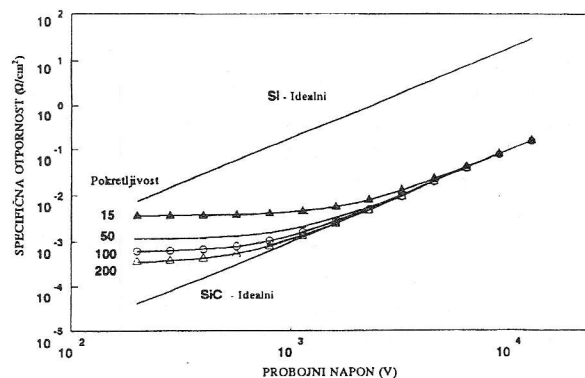
Zbog mnogih privlačnih osobina MOSFET-a učinjeni su značajni naponi da bi se optimizirali njegova struktura i proces proizvodnje. Prvi MOSFET-ovi za velike snage proizvedeni su 70-tih godina na bazi VMOS strukture. Oštri vrh žljeba stvarao je veliko električno polje što je smanjivalo probojni napon. Iz tih razloga je VMOS struktura zamijenjena DMOS strukturom, baziranom na difuziji P bazne i N⁺ oblasti sorsa koja koristi polisilicijum kao masku. Ovaj proces je omogućio proizvodnju komponenti sa dužinama kanala manjim od jednog mikrometra korišćenjem razlike dubina spojeva dveju difuzija, bez pribegavanja litografiji visoke rezolucije. Iako su prvi DMOSFET-ovi za 60V imali specifičnu otpornost u uključenom stanju 7 mΩ·cm² i bili načinjeni uz korišćenje pravila projektovanja za λ=10μm (tokom 70-tih), najnovije komponente (proizvedene 90-tih) imaju specifičnu otpornost u uključenom stanju od samo 1 mΩ·cm², a proizvedene su korišćenjem pravila projektovanja za λ<2μm. Pokazano je da se specifična otpornost u uključenom stanju može smanjiti na 0,75 mΩ·cm², koristeći pravila projektovanja kola vrlo visokog stepena integracije-VLSI. (Definicija specifične otpornosti u uključenom stanju data je u prilogu A1.)



Sl.5 Novije MOSFET strukture za veće snage.

Otpornost driftovske oblasti potrebna da raspodela struje bude uniformna, definisana je kao idealna specifična otpornost u uključenom stanju. Za silicijumski FET čiji je napon blokiranja 60V ova otpornost je 0,165 mΩ·cm². Zbog toga bi bilo poželjno poboljšati tu osobinu kod MOSFET-ova za velike snage. Efikasan metod da se to postigne je UMOS struktura (sl.5a). Tim procesom se UMOS čelije mogu načiniti relativno malim (6μm) u odnosu na DMOS (20μm) za ista pravila projektovanja. Ovo dovodi do povećanja gustine kanala (širine kanala po kvadratnom santimetru površine komponente) i eliminisanja JFET komponente otpornosti koja je postojala u DMOS čeliji. Danas postoje UMOSFET-ovi za 60V sa 0,58 mΩ·cm².

Još veće smanjenje specifične otpornosti u uključenom stanju postignuto je korišćenjem struktura sa dubokim rovom koji se proteže sve do N⁺ podloge kao što je pokazano na slici 5.b) [9]. U ovoj strukturi doprinos driftovske oblasti ukupnoj otpornosti smanjen je paralelnom strujnom

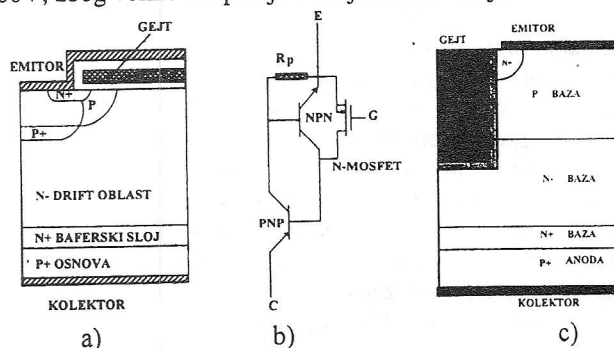


Sl.6 Izračunata specifična otpornost u uključenom stanju UMOSFET-ova za velike snage sa pokretljivostima u inverzionom sloju od 15 do 200 cm²/Vs.

putanjem stvorenom akumulacionim slojem koji se formira na zidovima rova. Sa ovom strukturom teoretski je moguće ostvariti čak i manju otpornost nego što je idealna granica za silicijum ako je širina čelije manja od 2μm. Ipak, mora se znati da je probojni napon ograničen na 30V velikim električnim poljem koje se stvara u oksidu na gejtju zbog proširenja rova u N⁺ podlogu. Specifična otpornost u uključenom stanju eksperimentalno proizvedenih komponenti bila je 0,2 mΩ·cm² za probojni napon 25V i napon na gejtju 15V. Na osnovu ovih rezultata može se zaključiti da je otkriće UMOS tehnologije omogućilo proizvodnju silicijumskih naprava koje se približavaju granicama performansi za FET-ove.

5. PREKIDAČI ZA VELIKE SNAGE I VISOKI NAPON

Zbog odličnih električnih osobina bilo bi poželjno koristiti MOSFET-ove za visokonaponske primene u energetskej elektronici. Na žalost, specifična otpornost u uključenom stanju vrlo brzo raste za veće probojne napone, kao što je pokazano na slici 6, zbog potrebe za smanjivanjem koncentracije primesa i povećanjem debljine. Stoga, mada se sa UMOSFET strukturama može postići skoro idealna specifična otpornost u uključenom stanju, one nisu zadovoljavajuće za primene gde se traže probojni naponi iznad 300V, zbog velike disipacije u uključenom stanju.



Sl.7 a) Poprečni presek IGBT-a, b) ekvivalentno kolo, c) trenč struktura.

Ovaj problem je rešen 80-tih godina uvođenjem IGBT-ova kod kojih je bipolarno provođenje struje kontrolisano MOS strukturom gejta. Poprečni presek IGBT strukture na bazi DMOS-a uvedene početkom 80-tih godina

dat je na slici 7. Ekvivalentno kolo ove naprave sastoji se od PNP tranzistora sa širokom bazom kojim upravlja MOSFET sa kratkim kanalom. Zbog injekcije velike količine šupljina iz P^+ podloge u N driftovsku oblast IGBT pokazuje karakteristiku u uključenom stanju sličnu onoj koju ima PiN dioda sa padom napona pri direktnoj polarizaciji manjim od 2V za relativno veliku gustinu struje u uključenom stanju ($100A/cm^2$). Pošto je ulazni signal u IGBT-u napon primenjen na MOS gejt, on ima veliku ulaznu impedansu (kao MOSFET) i može se smatrati naponom kontrolisanom napravom. Međutim, za razliku od MOSFET-a, prekidačka brzina IGBT-a ograničena je vremenom potrebnim za premeštanje naelektrisanja nagomilanog u driftovskoj oblasti zbog injektovanja šupljina tokom provođenja struje u uključenom stanju. Vreme isključenja IGBT-a diktirano je srazmerno vremenu života manjinskih nosilaca koje može biti kontrolisano zračenjem elektrona. Mada je ovaj proces uspešno smanjio vreme isključenja, pokazalo se da se nakon smanjenja vremena života manjinskih nosilaca povećava pad napona u uključenom stanju, kao i kod ostalih bipolarnih komponenti za veće snage.

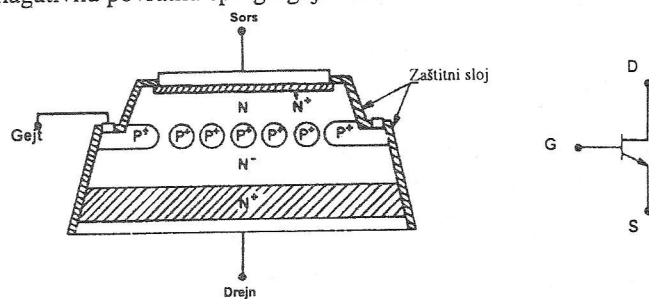
Od kada je pronadjena, IGBT tehnologija je pretrpela rapidna poboljšanja, koja su drastično unapredila performanse komponenti. Danas, IGBT tranzistori imaju visoku imunost na latch-up, mali pad napona u uključenom stanju i prekidačke učestanosti i do 20 kHz i više. Nažalost, IGBT je jednosmerna provodnička komponenta, te u većini primena mora da se koristi anti-paralelna dioda. Sa izuzetnim rastom prekidačkih učestanosti IGBT tranzistora, ograničenja prekidačkih brzina su sada više nametnuta anti-paralelnom diodom, nego samom IGBT komponentom. U većini primena u kojima je potrebna anti-paralelna dioda, prekidačke brzine diode su potpuno određene brzinama uključivanja i isključivanja IGBT tranzistora. Stoga je, sa današnjim, brzim prekidačkim IGBT tranzistorima, brzina promene struje kroz diodu (di/dt) vrlo velika, izazivajući time veliku inverznu struju oporavka kroz diodu, dok je dioda isključena. U današnjim, komercijalno dostupnim IGBT modulima, maksimalna inverzna struja oporavka lako može dostići dvostruku vrednost struje pri uključenju diodi. Ta inverzna struja oporavka mora da teče kroz IGBT izazivajući velike prekidačke gubitke u IGBT tranzistoru. Štaviše, inverzna struja oporavka takodje određuje maksimalnu struju IGBT tranzistora i služi za definisanje potrebne oblasti sigurnog rada (SOA) IGBT tranzistora. U tipičnom modulu, IGBT i dioda su fabrikovani odvojeno i nakon toga spojeni pre pakovanja. Spajanjem diode i IGBT tranzistora pre pakovanja u jedinstveno kućište pomaže ograničavanju parazitne i rasipne induktivnosti u modulu. Obično se koriste tehnike redukcije vremena života, kao što su dopiranje zlatom i platinom i zračenje elektronima, radi smanjenja vremena inverznog oporavka i maksimuma inverzne struje oporavka u diodi. Međutim, smanjenje vremena života izaziva značajno smanjenje pada napona u uključenom stanju. Zbog toga za visoko naponske diode ($>1000V$), sa dužinama drift oblasti većim od $100\mu m$, da bi se dobili dovoljno dobri padovi napona pri uključenom stanju vreme života ne može biti smanjeno ispod određene vrednosti. To znači da će takve snažne diode imati slab inverzan oporavak ograničavajući tako prekidačke brzine kola. Kontrolisanje anodnog dopiranja kao

sredstva za poboljšanje performansi diode je proučeno u radu [10]. Pokazano je da se uz cenu malog povećanja pada napona pri uključenom stanju, karakteristike inverznog oporavka diode mogu poboljšati, što vodi boljoj upotrebi komponenti, većim prekidačkim brzinama i većoj efikasnosti.

Eksperimentalna i numerička istraživanja izvršena u [11] su pokazala da dodata otpornost u emiteru (emitter ballast resistance -EBR) IGBT-a igra značajnu ulogu u FBSOA i da optimizacijom EBR-a možemo značajno da je povećamo.

Značajnije poboljšanje kompromisne krive između pada napona u uključenom stanju i vremena isključenja postignuto je korišćenjem UMOS strukture gejta za IGBT [12] date na slici 7c. Pomoću ove strukture gustina kanala znatno je povećana, a JFET oblast eliminisana. Pored toga, utvrđeno je poboljšanje koncentracije elektrona i šupljina ispod dna rova zbog stvaranja akumulisanog sloja. Ovo stvara lančani profil raspodele nosilaca u IGBT-ovima koji podseća na onaj kod tiristora. Ova poboljšanja dovela su do velikog smanjenja pada napona u uključenom stanju koji se približio vrednosti za PiN diodu [13]. Pošto se oblast sigurnog rada za UMOS strukturu pokazala bolja nego za DMOS, može se očekivati da će IGBT-ovi sa rovom u gejt u zameniti DMOS IGBT strukture u budućnosti.

Pored IGBT-a, postoje i druge komponente kod kojih gejt utiče na rad komponente. Kod SIT-a i SITH-a gejt je u obliku rešetke ili mreže, koja je ukopana u driftovsku oblast. Tako je SIT (Static Induction Transistor -tranzistor sa statičkom indukcijom (slika 8.)), elemenat za velike snage i visoke učestanosti koji može suštinski da se razmatra kao poluprovodnička verzija vakuumske triodne cevi koja je već odavno poznata [25]. To je elemenat sa kratkim N kanalom, gde je elektroda gejta ukopana u N epitaksijalni sloj drejna i sorsa. U radnom režimu on je uključen ali, ako je gejt na negativnom potencijalu, osiromašena oblast inverzno polarisanog spoja P^+N koči struju drejna. Skoro isto se dešava i kod JFET-a samo što je pad napona kod njega manji zbog vertikalne strukture i ukopanog gejta koji daju mali otpornost kanala. Osim toga, malu otpornost kanala gejt-sors smanjuje negativnu povratnu spregu gejt-sors.



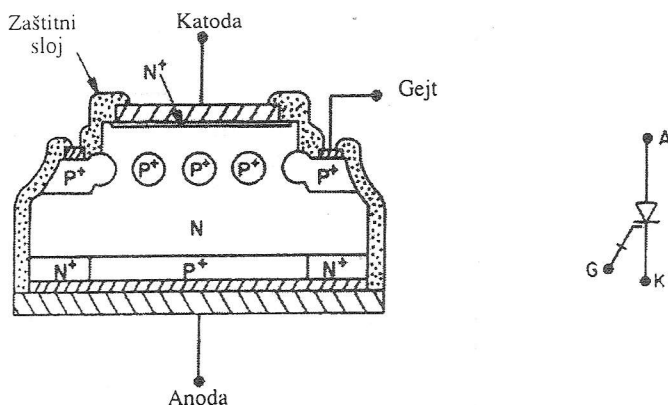
S1.8. Osnovna struktura SIT-a i simbol.

SIT se koristi u linearnom režimu u audio, VHF/UHF i pojačavačima malih signala. Karakteristike SIT-a, kao što su pouzdanost i otpornost na uticaj šuma i zračenja, postaju superiorne u odnosu na iste karakteristike MOSFET-a. Iako je pad napona pri provođenju manji nego kod MOSFET-ova, ipak je veliki i čini ih nepodesnim za opštu primenu u energetskelektronici. Opravdano je koristiti ih za učestanosti komutacije kao kod FET-ova. Ustvari, brzina prekidanja veća

nego kod MOSFET-a je moguća zbog manje kapacitivnosti i otpornosti gejta-sors. Kako je i ovo unipolarni elemenat, oblast sigurnog rada (SOA) je ograničena temperaturom spoja. Paralelno vezivanje ovih elemenata je lako zbog pozitivnog temperaturnog koeficijenta otpornosti kanala. SIT se koristi u AM/FM predajnicima, kod indukcionog zagrevanja, kod snažnih uređaja velikog napona i male struje, generatora ultrazvuka i linearnih pojačavača snage.

Komponenta slična SIT-u je SITH (Static Induction Thyristor -tiristor sa statičkom indukcijom (slika 9.)) je samokontrolisani on/off elemenat, sličan GTO-u [25]. U osnovi, to je P^+NN^+ dioda (ne tiristor kao što ime govori) sa ukopanim P^+ mrežastim gejtom. Struktura je slična strukturi SIT-a. Razlika je jedino u tome što je P^+ oblast dodata sa strane anode. Kao i SIT, u radnom režimu je uključen sa N oblašću zasićenom manjinskim nosiocima. Ako je gejt inverzno polarisan u odnosu na katodu, osiromašena oblast blokira struju anode.

Ovaj elemenat nema mogućnost inverznog blokiranja zbog kratko spojenog emitera (potrebno za velike brzine rada). Ponašanje pri isključivanju je slično kao kod GTO-a, tj., negativna struja gejta je veća, a u anodnom kolu se pojavljuje strujni rep. Generalno poređenje sa GTO-om može se napraviti u sledećih sedam tačaka: 1. Za razliku od GTO-a, ovo je elemenat uključen u radnom režimu. 2. Pad napona u uključenom stanju je neznatno veći. 3. Strujno pojačanje pri isključivanju je manje - ispod 3 (4 - 5 kod GTO-a). 4. Oba elementa imaju dugačak strujni rep. 5. Viša je učestanost komutacije. 6. Vrednosti za di/dt i dv/dt su veće. 7. Poboljšana je oblast sigurnog rada.

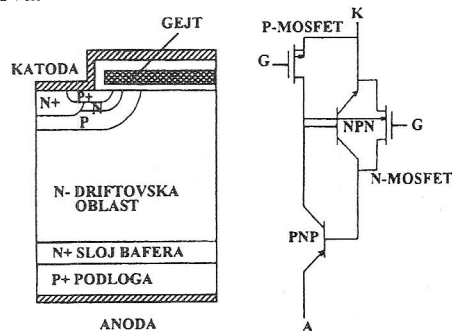


Sl.9. Osnovna struktura SITH-a i simbol

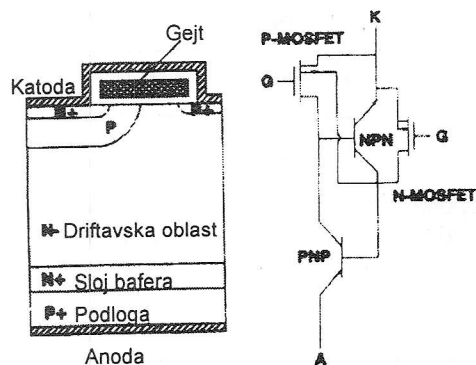
Uprkos poboljšavanju strukture IGBT-a i njegove kompromisne krive između pada napona u uključenom stanju i vremena isključenja, njegova disipacija u uključenom stanju postaje velika kad se proizvodi za visoke napone i učestanosti. To je razlog što se ulažu napor u razvoj MOS-upravljanih tiristora kao alternativnih prekidačkih naprava velikih snaga, jer se zna da je pad napona u uključenom stanju manji na tiristoru nego na IGBT-u. Mogućnost isključenja vertikalnog tiristora integrisanom MOS-oblašću gejta prvi put je zapažena 1979. Danas se taj prilaz koristi u svim MOS-upravljanim tiristorima. Problem isključenja struje kroz tiristor pokazao se vrlo komplikovan zbog internog regenerativnog procesa i

negativnog temperaturnog koeficijenta pada napona u uključenom stanju. Ti efekti lako mogu dovesti do formiranja "strujnih vlakana", uskih vertikalnih putanja kuda teče vrlo velika struja koja može uništiti komponentu MCT (MOS Controlled Thyristor) -MOS-kontrolisani tiristor (slika 9.) je okidni elemenat sličan tiristoru, koji može biti uključen ili isključen malim strujnim impulsom na gejt [6]. Više je nalik GTO-u, sem što mu je strujno pojačanje pri isključivanju veoma veliko. Što se tiče brzine komutacije, uporediva je sa IGBT, ali sa manjim padom napona pri provođenju. Danas se ne može naći na tržištu osim nekih probnih elemenata puštenih od strane General Electric (500V/1000V; 50A/100A) i Harris Semiconductor (900V, 15A).

Učinjeni su značajni napor da se MCT struktura optimizuje i poboljšaju njene osobine pri isključenju. Da bi se sprečilo stvaranje strujnih vlakana stvorena je MCT struktura sa emiserskim opterećenjem koja koristi polisilicijumski otpornik. Ta struktura je, međutim, imala značajno veći pad napona u uključenom stanju što u velikoj meri smanjuje prednosti MCT-a u odnosu na IGBT. Nadalje, MCT nema sposobnost zasićenja anodne struje, što ga sa gledišta primene čini fundamentalno različitim od IGBT-a. Postojanje saturacije se u IGBT-ovima uobičajeno koristi da se dobije gejtom upravljano uključanje uz regulaciju inverzne struje oporavka u pridodatim usmeračima, kao i za zaštitu od kratkog spoja. Sa MCT-om je neophodno ili promeniti topologiju kola ili uvesti nove snaberske elemente u PWM kola zbog toga što nema zasićenja. Ovo je osnovni razlog zbog kojeg se MCT-ovi ne primenjuju, mada imaju niži pad napona u uključenom stanju od IGBT-ova.



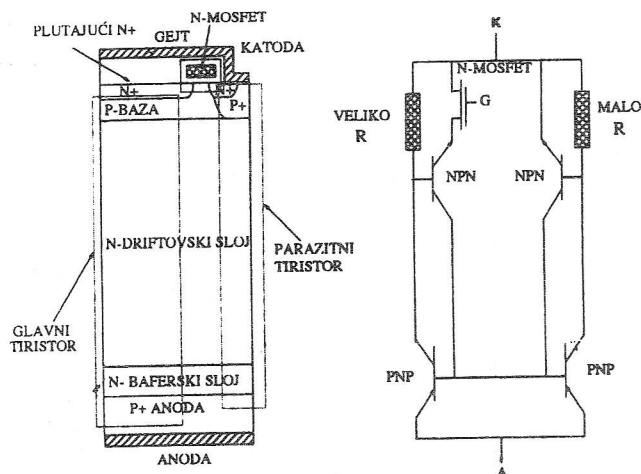
Sl.10. Poprečni presek MCT-a i ekvivalentna šema



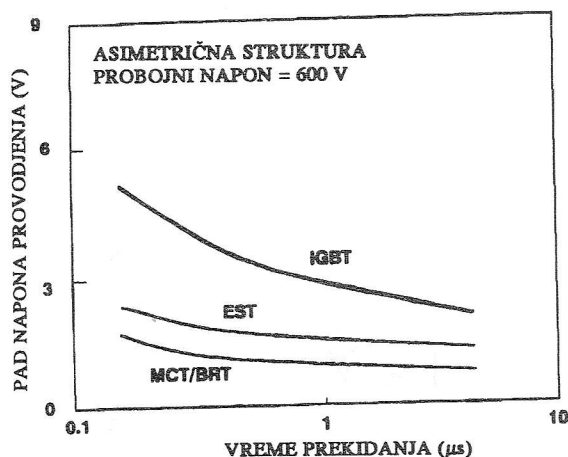
Sl.11. Poprečni presek BRT-a i ekvivalentno kolo.

Sledeće usavršenje u nizu ovih komponenti predstavlja tiristor kontrolisan baznom otpornošću-BRT (BRT

- Base Resistance Thyristor) dat na slici 11 [14]. Kod njega je regenerativni proces u tiristoru prekinut kratkim spajanjem N^+ emitterske i P bazne oblasti korišćenjem MOSFET-a integrisanog u N oblast baze. BRT ima karakteristike u uključenom stanju slične MCT-u, ali je utvrđeno da ima veću maksimalnu mogućnost upravljanja strujom. Njegova najveća prednost verovatno je mogućnost proizvodnje osnovnim DMOS procesom (kao i IGBT), dok se kod MCT-a koristi trostruka difuzija koju je tokom proizvodnje komponenata teže kontrolisati. Međutim, nepostojanje zasićenja čini ove komponente lošijim od IGBT-ova za primene u energetskejoj elektronici.



Sl. 12. Poprečni presek EST-a i ekvivalentno kolo.



Sl. 13 Uporedni prikaz kompromisnih krivih između pada napona u uključenom stanju i vremena isključenja za MOS-upravljanje tiristore i IGBT.

Prvi MOS-upravljeni tiristor kod kojeg postoji zasićenje bio je tiristor sa prekidanjem na emiteru-EST (EST - Emitter Switching Thyristor) dat na slici 12. Ova mogućnost postignuta je forsiranjem struje tiristora da teče kroz lateralni MOSFET integrisan u baznu P oblast. Tada bi tiristorska struja

bila upravljana polarizacijom na gejtu što omogućava saturaciju struje. Mada su prve naprave imale malu oblast sigurnog rada, nešto kasnije su razvijene poboljšane strukture sa dva kanala i mogućnošću saturacije struje za više napone [15]. Pad napona u uključenom stanju EST-a je veći nego kod tiristora (zbog pada napona na MOSFET-u) za oko 0,5V. Njegova kompromisna kriva bolja je nego za IGBT, ali lošija nego za MCT i BRT, kao što se vidi sa slike 6. MOSFET, međutim, služi kao ematersko opterećenje tiristora u svakoj ćeliji EST-a što rezultuje u ukupno pozitivnom temperaturnom koeficijentu za pad napona u uključenom stanju. Ovo osigurava uniformnu raspodelu struje u višecelijskim napravama i sprečava stvaranje strujnih vlakana tokom isključenja.

Pri izboru komponenti za primenu u energetskejoj elektronici postaje uobičajeno praviti kompromis ne samo između pada napona u uključenom stanju i vremena isključenja, već i između ta dva parametra i oblasti sigurnog rada pri direktnoj polarizaciji (FBSOA), pa su tako stvorene komponente sa dva gejta. Prvi MOS-upravljeni tiristor sa dva gejta bio je DG-BRT (DG-BRT - Dual Gate BRT) [16]. Ova struktura podseća na BRT, ali zbog dva gejta može raditi i kao BRT i kao IGBT. Kad su oba gejta pozitivno polarisana tiristor je uključen i ima mali pad napona u uključenom stanju. Ako su oba gejta istovremeno na negativnom potencijalu, tiristor je isključen (kao kod BRT-a). Međutim, ako je samo jedan od gejtova priključen na negativan potencijal (-15V) P-kanalni MOSFET premošćava šupljine koje su se sakupile u baznoj P oblasti i sprečava latch-up tiristora. Naprava sad radi kao IGBT ako je na drugom gejtu pozitivan napon, sa zasićenjem struje za visoke napone. Stoga ova struktura ima sve osobine BRT-a, kao i dobru FBSOA za upravljano uključenje i zaštitu od kratkog spoja. Načinjena je i vrlo slična struktura, tiristor sa dvostrukim MOS-gejtom [17] za poboljšanje ponašanja u prekidačkom režimu, kao i BRT sa izolovanim kanalom (ICBRT) prikazan u [18]. Sasvim nova struktura predložena je u [19], koja predstavlja kombinaciju tiristora i trenč IGBT-a, a zasnovana je na novom fizičkom konceptu koji izražava prelazak inverznog sloja od kanala većinskih nosioca u injektor manjinskih nosilaca [20].

Mada su predložene mnoge strukture prekidača snage [1, 20] ne postoji na jedan prekidač snage koji u sebi objedinjuje sve crte idealnog prekidača. Nedavno prikazana struktura [21] je struktura komponente snage bez P-oblasti i nazvana je bipolarni tranzistor upravljani akumulacionim kanalom (ACBT).

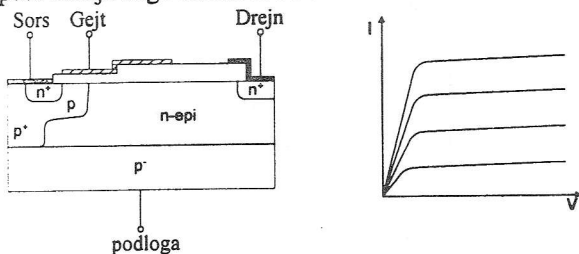
Za primene koje rade na naponima do 2500V IGBT je široko prihvaćen kao najbolja komponenta. Zbog već pomenutih razloga, njegov nominalni napon nije viši. Za primene u električnoj vuči (tramvaji i električne lokomotive) jedina komercijalno dostupna komponenta koja može blokirati napon od 4500V i upravljati strujom od 500A je tiristor koji se isključuje na gejtu-GTO (Gate Turn-Off Thyristor).

6. KOMPONENTE ZA INTEGRISANA KOLA SNAGE

Lateralni MOS tranzistor je jedan od najranije razvijenih komponenti snage i nalazi se u širokoj upotrebi u visokonaponskim integrisanim kolima. Šematski dijagram poprečnog preseka lateralnog DMOS (LDMOS) tranzistora i njegove tipične izlazne karakteristike su prikazane na slici 14. Korišćenje samopodešavajućeg procesa dvojne difuzije rezultira relativno kratkim kanalom (1-2 μ m), sa malom otpornošću kola u otvorenom stanju. Slabo dopirana zona drifta je potrebna da podrži visok probojni napon između drejna i sorsa a na šemi sa slike 2. je predstavljena otpornošću.

Značajni naponi su usmereni na povećanje probojnog napona i smanjenje otpornosti u uključenom stanju kao i vremena uključivanja i isključivanja. Važni parametri povezani sa zahtevanim naponom proboja su naelektrisanje na površinskom sloju zone drifta po jedinici površine, dužina zone drifta i gustina dopiranja podloge. Korišćenje tehnika za kontrolu količine naelektrisanja, naime, RESURF (REduced SURface Field - smanjena površina polja) omogućuje povećanje probojnog napona ili odgovarajuće smanjenje u njegovoj otpornosti po jedinici površine (specifična otpornost u uključenom stanju) sa faktorom približno jednakim 2. Alternativna tehnika za smanjenje otpornosti kola u otvorenom stanju, a da pri tom zadržimo visok napon proboja, je korišćenje LDMOS sa više slojeva otpornosti u zoni drifta. Ali uprkos velikoj brzini uključivanja i isključivanja i superiornosti oblasti sigurnog rada koju nudi lateralni MOSFET, njegovo osnovno ograničenje i dalje ostaje relativno velika otpornost kola u otvorenom stanju. Ovo uslovljava značajne gubitke snage, pri visokim direktnim naponima polarizacije, u poređenju sa bipolarnim komponentama.

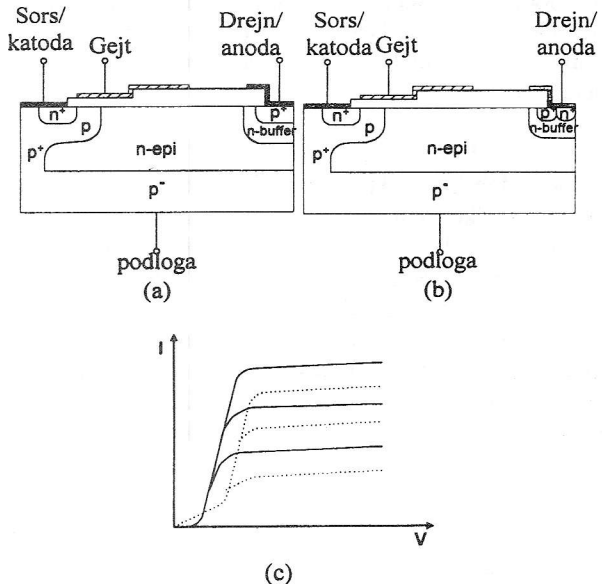
Jedna od perspektivnih komponenti snage sa mogućnošću lakog integrisanja je lateralni bipolarni tranzistor sa izolovanim gejtom (LIGBT). Na slici 15.a. je prikazan poprečni presek LIGBT[4]. LIGBT koristi p-n spoj za injekciju manjinskih nosilaca u zonu drifta i pomoću toga moduliše njenu provodnost. Na izlaznim karakteristikama prilikom uključivanja možemo uočiti ponašanje slično ponašanju diode, kao što je prikazano na slici 15.c., što je predstavljeno diodom na slici 2.b. Posledica modulacije provodnosti je komponenta sa specifičnom otpornošću kola u otvorenom stanju koja je 5-10 puta manja nego kod LDMOS tranzistora.



Sl. 14. Šematska predstava i izlazna karakteristika LDMOS tranzistora [2].

Vreme isključivanja je određeno rekombinacijom manjinskih nosioca u oblasti modulirane provodnosti, a nalazi se u opsegu od 1-3 μ s. Poboljšanje vremena uključivanja i isključivanja se može postići na račun otpornosti u otvorenom

stanju, korišćenjem strukture sa kratkom anodom prikazanoj na slici 15.b. Skraćena anoda obezbeđuje efikasniji način za uklanjanje viška nosilaca prilikom isključivanja, ali rezultira većim padom napona za konkretnu vrednost struje što je prikazano na slici 15.c. Ova struktura takođe obezbeđuje poboljšanje probojnog napona u odnosu na konvencionalni LIGBT, s obzirom da je u konvencionalnom LIGBT određen preko BV_{ces} , a ne sa BV_{∞} ubačenog p-n-p sloja. Međutim, zbog kratke anode izgubljena je mogućnost inverznog blokiranja anode.



Sl. 15. (a) Šematski dijagram LIGBT-a, (b) Šematski dijagram LIGBT-a sa kratkom anodom, (c) Izlazna karakteristika LIGBT (puna lin.) i LIGBT sa kratkom anodom (isprekidana linija).

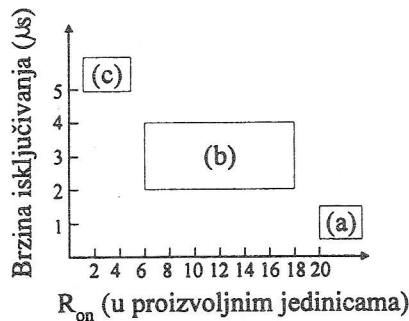
LIGBT-i su osetljivi na latch-up na isti način kao i diskretni IGBT-i usled prisustva inherentnog parazitnog p-n-p-n tiristora u komponenti. U oblasti visokih struja na spoju katoda/podloga javlja se dovoljan pad napona i parazitni n-p-n tranzistor se uključuje. Kolektorska struja n-p-n tranzistora sadrži baznu struju lateralnog p-n-p tranzistora. Kada zbir strujnih pojačanja ova dva tranzistora dostigne maksimum javlja se latch-up i gubimo kontrolu nad gejtom u komponentama sa RESURF-om, parazitni vertikalni p-n-p tranzistor skreće deo struje i povećava se prag latch-up. Ostale metode za sprečavanje pojave latch-up usmerene su na smanjenje pojačanja n-p-n tranzistora korišćenjem ukopanog sloja i dubokih p jama, i bafer sloj da ograniči injekciju naelektrisanja kontrolom koeficijenta efikasnosti emitorske anode. Umesto p-n spoja za injekciju srednje količine manjinskih nosilaca sa ciljem modulacije provodnosti zone drifta može se koristiti i Šotki dioda. Ovo je primenjeno u lateralnom FET-u sa Šotki injekcijom (SINFET). S obzirom da Šotki barijera obezbeđuje ograničen broj manjinskih nosilaca ne prouzrokuje značajno vreme nagomilavanja. Stoga, SINFET-i rade na većoj brzini, ali i imaju veću otpornost kola u otvorenom stanju nego LIGBT-i. SINFET se uključuje pri manjem padu napona nego LIGBT u zavisnosti od izabrane visine barijere. Za postizanje kompromisa između brzine i pada

direktnog napona može se koristiti kombinacija DMOS-a, IGBT-a ili SINFET-a. Osnovna ideja je kontrola nivoa injekcije manjinskih nosilaca. Stoga, hibridne komponente kombinuju vertikalni DMOS i IGBT ili koriste paralelnu vezu p-n spoja kratko spojenog sa Šotki diodom kao što je to slučaj kod hibridnog SINFET-a. Hibridni SINFET, na primer, rezultira sa radnom strujom tri-i-po puta većom nego kod LDMOS tranzistora sa uporedivom brzinom uključivanja i isključivanja.

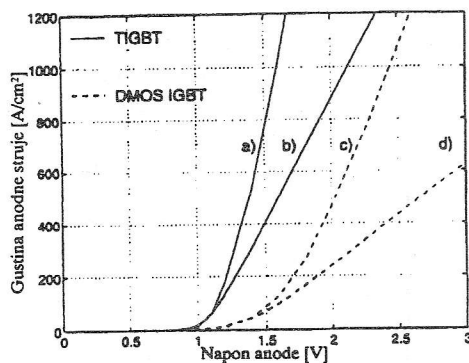
Na slici 16. (oznake prema sl.2) je prikazan uprošćen diagram otpornosti komponente u uključenom stanju ili pada direktnog napona u zavisnosti od brzine uključivanja i isključivanja i za kontinualan i za prekidan način kontrole gejta komponenti [4].

7. UPOREDNI PRIKAZ DMOS IGBT-A I TIGBT-A

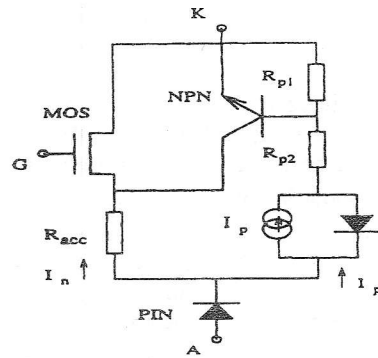
Pored dobrih karakteristika IGBT tranzistori još nisu dosegli karakteristike tiristora u pogledu maksimalnih struja i napona i u brzini prekidanja kao kod MOSFET-a. Numeričke analize sa nekoliko modela pokretljivosti su izvršene da bi se simulirao uticaj smanjenja pokretljivosti na karakteristike u stanju vođenja [13]. Rasejanje fonona, rasejanje na površinskim neravninama i rasejanje nosilac nosilac su primenjene u različitim simulacijama TIGBT-a. Rezultati predstavljeni na sl. 17 pokazuju da se pri velikim gustinama



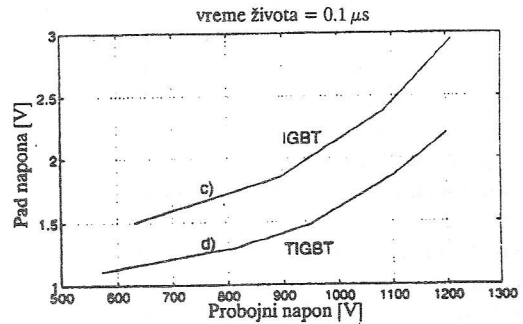
Sl. 16. Brzina uključivanja i isključivanja komponente snage kontrolisane lateralnim MOS-gejtom u odnosu na otpornost u uključenom stanju..



Sl. 17. I-U karakteristike TIGBT (a) bez modelovanja smanjenja kanalske pokretljivosti, (b) sa modelovanjem rasejanja fonona i rasejanja na površini; i (c) DMOS IGBT bez modelovanja smanjenja kanalske pokretljivosti i (d) sa modelom rasejanja fonona [13].



Sl. 18. TIGBT ekvivalentno kolo. Model objašnjava dinamiku nosilaca kombinacije PIN diode-PNP tranzistora.



Sl. 19. Kompromis između pada napona u uključenom stanju i probojnog napona za optimizovane TIGBT i DMOS IGBT [13].

struje, smanjenje površinske pokretljivosti značajno doprinosi povećanju pada napona pri direktnoj polarizaciji, međutim ima malo razlike između degradacije karakteristika u stanju vođenja TIGBT u poredjenju sa planarnim DMOS IGBT. Važno je napomenuti da je površinska pokretljivost veoma zavisna od tehnološkog procesa, mada ovde dati rezultati pretpostavljaju kvazi-idealne procese.

Efekat PIN diode može se fizički definisati kao povećanje koncentracije pokretnih nosilaca koje je rezultat rekombinacije elektron-šupljina u blizini sloja nagomilavanja. Efekat je izražen pod uslovima male injekcije ($\alpha_{pnp} < 0.3$) kada je broj šupljina koje se rekombinuju sa elektronima iz sloja nagomilavanja uporediv sa delom šupljina koje stižu do katodnog kontakta. To je obično slučaj kod ultra-visokonaponskih komponenti i/ili komponenti sa kratkim vremenom isključivanja. Optimalno projektovanje dimenzija lay-outa naročito odnosa između ukupne dužine sloja nagomilavanja i širine p džepa vodi ka poboljšanju efekta PIN diode i stoga značajnom popravljaju karakteristika u stanju vođenja.

Izvršene su numeričke simulacije isključivanja sa dve vrste opterećenja: rezistivnim i induktivnim. Zaključeno je da su vremena isključivanja vrlo bliska za planarni i TIGBT [13]. Značajno je da za razliku od trenč MOS tranzistora, kod TIGBT-a povećanje oblasti oksida gejta pri lay-outima veoma visoke gustine trenča, ne utiče na vreme isključivanja jer je kašnjenje prouzrokovano parazitskim kapacitivnostima sors-gejt i drejn-gejt vrlo malo u poredjenju sa dugačkim vremenom isključenja zbog sporog uklanjanja viška nosilaca iz široke n-

baze Simulacije na~injenih kompromisa izmedju pada napona u uklju~enom stanju i probojnog napona u isklju~enom stanju za optimizovane DMOS i TIGBT su prikazane na slici 19. TIGBT ima superiornije sveukupne karakteristike, najveće prednosti ima pri visokim naponima (preko 1000 V) u isklju~enom stanju i kratko vreme `ivota. Prednost je još zna~ajnija pri većim gustinama struje (npr. 300 A/cm²) zbog smanjene otpornosti kanala.

Na osnovu izvršenih analiza u [13] i [22] mogu se izvući sledeći zaključci:

- 1) Veoma gust proces trenča daje za rezultat bolje osobine u stanju vodjenja kod TIGBT zbog povećane gustine pakovanja i skraćenja dužine kanala što je specifično za TIGBT. Prednost visoke gustine kanala je izraženija pri visokim gustinama struje.
- 2) U TIGBT struja ima prirodnu kvazijednodimenzionalnu raspodelu što zajedno sa eliminacijom parazitskog JFET efekta, smanjuje otpornost u stanju vodjenja.
- 3) TIGBT dozvoljava fleksibilniji, manje sužen dizajn layouta (npr. najmanja ostvarljiva širina p džepa) što može popraviti otpornost u stanju vodjenja pomoću popravljavanja injekcije sloja nagomilavanja (efekat PIN diode) ili injekcije inverznog sloja (efekat skraćenja dužine kanala). Efekat PIN diode ima najveći doprinos smanjenju pada napona kod TIGBT-a sa kratkim vremenom isključivanja i/ili visokonaponskih TIGBT.
- 4) Leč-ap efekat je znatno smanjen kod trenč struktura zbog skraćenja dužine kanala i jednodimenzionalnog, vertikalnog toka šupljina.
- 5) TIGBT je sklon preuranjenom probouju i smanjenju površinske pokretljivosti. Medjutim optimalni tehnološki proces može značajno popraviti površinsku pokretljivost i otpornost na proboj, tako da dostignu vrednosti bliske onim kod planarnih struktura.

8. KOMPONENTE ZA VELIKE SNAGE NA BAZI SILICIJUM-KARBIDA (SiC)

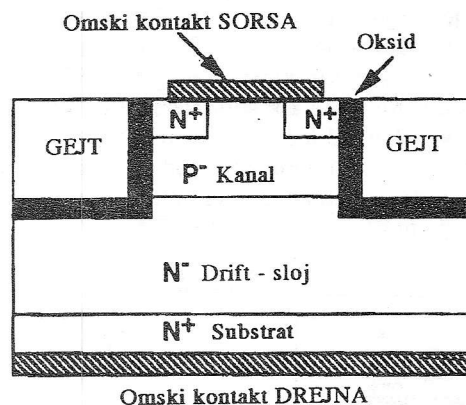
Pre više od 15 godina vršena su prva fundamentalna istraživanja odnosa specifične otpornosti driftovske oblasti u uključenom stanju sa probojnim naponom i osnovnim osobinama materijala. Na osnovu profila električnog polja u uniformno dopiranoj driftovskoj oblasti pokazano je da se za specifičnu otpornost u uključenom stanju dobija [1]:

$$R_{on,sp} = \frac{4V_p^2}{\epsilon\mu E_c^3} \quad (1)$$

gde je V_p probojni napon, ϵ permitivnost, μ pokretljivost nosilaca, a E_c električna čvrstina. Imenilac izraza (1) nazvan Baliga-faktor dobrote, koristi se za upoređivanje različitih poluprovodničkih materijala od kojih se proizvode komponente za velike snage. Koristeći taj faktor dobrote, predviđeno je da će komponente na bazi GaAs imati 13 puta manju specifičnu otpornost driftovske oblasti. Na osnovu tih predviđanja proizvedeni su JFET-ovi i MESFET-ovi sa vertikalnim kanalom i probojnim naponima do 200 V.

Nakon što su visokokvalitetne pločice silicijum-karbida sa slabo dopiranim epitaksijalnim slojem postale

dostupne, proizvodnja komponenti za velike snage je postala izvodljiva. Za sve tri politipske modifikacije projektovana je 200 puta manja otpornost u uključenom stanju. Prve SiC komponente za velike snage bili su visokonaponski Šotkijevi usmerači. Za silicijum-karbid (SiC) predviđeno je još veće smanjenje otpornosti driftovske oblasti. Teorijska istraživanja pokazuju da će SiC usmerači moći raditi sa naponom blokiranja do 3kV imati atraktivne karakteristike u uključenom

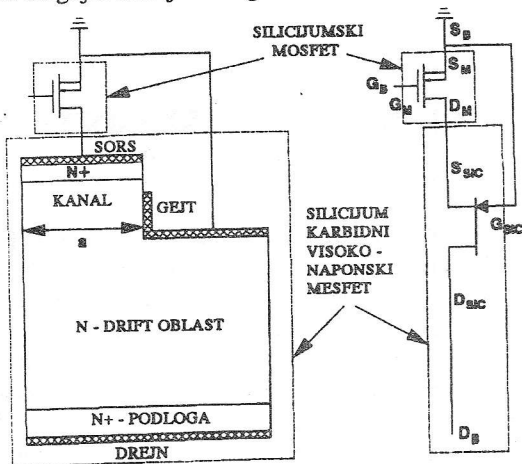


Sl.20 Poprečni presek SiC UMOSFET-a.

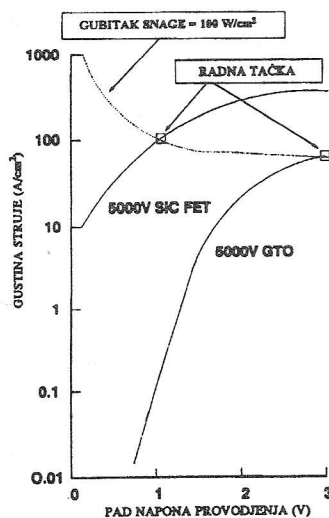
stanju. Prve Šotkijeve diode od SiC koje su imale probojni napon 400V konstruisane su 1992, a potom su načinjene diode za 1kV [1]. Ove naprave imaju odlično ponašanje u prekidačkom režimu i pad napona u uključenom stanju od samo 1V, što potvrđuje teorijska predviđanja. Mada je cena pločica SiC previsoka, a njihova površina premala za komercijalnu proizvodnju Šotkijevih dioda, smatra se da će u sledećem veku Šotkijeve diode od SiC istisnuti sve silicijumske PiN usmerače.

Od ovog materijala takođe se proizvode MOSFET-ovi za velike snage. Zbog vrlo malih brzina difuzije primesa u SiC nije praktično proizvoditi DMOS strukturu. Najpogodnija struktura je UMOSFET u kojem je P oblast baze dobijena epitaksijalnim rastom na N driftnom sloju (sl.20). UMOSFET struktura takođe obezbeđuje veliku gustinu kanala koja je suštinski važna za potpuno iskorišćenje predviđene niske specifične otpornosti driftovske oblasti u uključenom stanju. Probojni napon tih UMOSFET-ova ograničen je na manje od 100V zbog proboja oksida na gejtju. Naime, pažljiva analiza raspodele električnog polja u UMOSFET-u pokazuje da je ono veliko na uglovima rovova. Nadalje, pošto je kritično električno polje u SiC oko 2x10⁶ V/cm, a električno polje u oksidu tri puta veće od polja u poluprovodniku, ono može dostići 10⁷V/cm pri čemu nastupa proboj oksida. Još jedan problem sa MOSFET strukturom je što vrlo mala pokretljivost u inverznom sloju (15 cm²/Vs) dovodi do degradacije specifične otpornosti u uključenom stanju. To je ilustrovano na slici 6 gde je izračunata specifična otpornost u uključenom stanju data u funkciji probojnog napona za različite vrednosti pokretljivosti nosilaca u inverzionom sloju. Iz tih krivih vidi se da SiC MOSFET-ovi sa probojnim naponima do 200V ne mogu nadmašiti silicijumske komponente. Čak i za više probojne napone, osobine SiC MOSFET-ova su značajno degradirane lošom pokretljivošću u inverznom sloju, pa se moraju razviti metode za njeno unapređivanje.

Zbog navedenih problema u vezi SiC UMOSFET-a, predložena je alternativna strategija za iskorišćenje niske specifične otpornosti: drift oblasti korišćenje silicijumskog MOSFET-a sa malim probojnim naponom (u normalnim uslovima, tj. pri nultoj polarizaciji isključen) i SiC MESFET-a ili JFET-a sa visokim probojnim naponom, koji je u normalnim uslovima uključen. Ovaj pristup se takmiči sa onim korišćenim za stvaranje Darlingtonove konfiguracije bipolarnih tranzistora za povećanje strujnog pojačanja. Ova konfiguracija naziva se Baliga-par, prikazana je na slici 21. Silicijumski MOSFET redno je vezan za sors visokonaponskog MESFET-a ili JFET-a za velike snage. Mogu se koristiti lateralne ili SiC strukture sa vertikalnim kanalom. Bitno je zapaziti da je oblast gejtja SiC MESFET-a vezana za referentni izvod (ili sors) silicijumskog MOSFET-a, a da je ovaj kompozitni prekidač upravljani jedino signalom na gejtju silicijumskog MOSFET-a.



Sl.21 Konfiguracija komponenti u Baliga-paru koji se sastoji od silicijumskog MOSFET-a i MESFET-a od SiC.



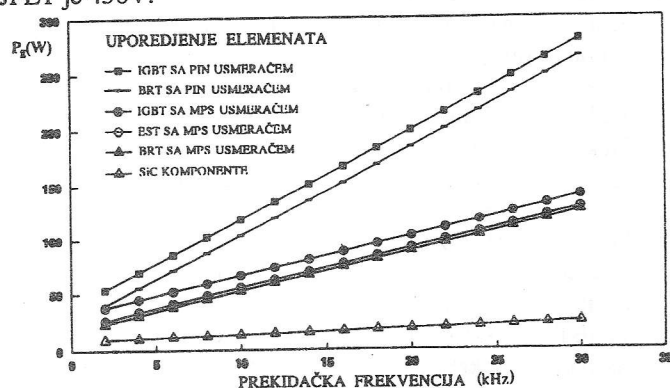
Sl.22 Uporedni prikaz strujno-naponskih karakteristika u direktnoj polarizaciji za SiC FET napona blokiranja 5kV i GTO istog napona blokiranja.

Kada se u kućištu Baliga-para priključi negativnog napona na drejn DB direktno polariše strukturu gejtja sa Šotkijevom diodom u kućištu SiC MESFET-a. SiC Šotkijeva dioda ima odlične karakteristike u uključenom stanju, jer je unipolarna komponenta. Stoga Baliga-par sadrži odličnu flyback diodu ako se u njemu primeni SiC MESFET.

Nedavno je izveden izraz za specifičnu otpornost u uključenom stanju lateralnog FET-a koji radi na RESURF principu

$$R_{on,sp} = \frac{V_p^2}{\epsilon \mu E_c^3} \quad (2)$$

Iz ovog izraza se vidi da je faktor dobrote za lateralni identičan onom za vertikalni FET. Međutim, kada se uporede izrazi (1) i (2), vidi se da lateralni FET ima četiri puta bolju specifičnu otpornost u uključenom stanju. To je bio motiv za razvoj visokonaponskih lateralnih MESFET-ova i FET-ova. Najveći dosad postignuti napon blokiranja za lateralni SiC JFET je 450V.



Sl.23. Poredjenje snage ukupnih gubitaka (P_g) u pojedinim elementima. Pretpostavljeni napon napajanja je 400 V i struja motora 15 A. Rezultati za BRT mogu da se primene i na MCT [6].

Nedavno je predloženo rešenje [24], planarnog visokonaponskog SiC MOSFET-a, koji je proizveden korišćenjem procesa implantacije kojim se izbegava problem spore difuzije u SiC-u kod DMOS i formiranje inverznog kanala kod UMOS. Ovaj MOSFET proizveden u SiC-u procesom duple implantacije (DIMOS) ima probojni napon koji premaša 750 V, što je tri puta više od predhodno objavljenih vrednosti sa SiC MOSFET-om. U svakom slučaju, očekuje se da ovi pronalasci utiču na sva kola energetske elektronike koja rade na naponima iznad 100V. Teorijski izračunata karakteristika SiC FET-a za 5 kV upoređena je na slici 22 sa trenutno najboljim GTO, pri čemu se vidi da su pad napona u uključenom stanju i gubici manji za SiC FET. Na osnovu ovog se može zaključiti da postoji mogućnost da SiC FET-ovi zamene sve silicijumske komponente za radne napone iznad 100V. Na slici 23 prikazano je poredjenje snage gubitaka za pojedine komponente u odnosu na prekidačku učestanost. Sa dijagrama se jasno vidi prednost SiC komponenti.

9.ZAKLJUČAK

Pronalazak MOS-upravljanih struktura, naročito MOSFET-a za velike snage i IGBT-a doveo je do revolucionarnih promena (ponekad nazvanih i drugom elektronskom revolucijom) u projektovanju sistema energetske elektronike zbog mogućnosti integracije upravljačkih kola za komponente velikih snaga. Smanjenje veličine i težine sistema energetske elektronike koje je iz toga proizašlo omogućilo je veliki uspeh na tržištu. Povećanjem radnih učestanosti dobijenim smanjenjem prekidačkih gubitaka omogućen je rad na učestanostima iznad 10 kHz, a to znači smanjenje buke u sistemima energetske elektronike za široku potrošnju kao što je upravljanje motorima uz regulaciju brzine, za grejanje, provetravanje i klimatizaciju.

Različite komponente snage i visokonaponske komponente kontrolisane MOS-gejtom mogu biti sažeto prikazane po grupama u zavisnosti od načina na koji MOS-gejt kontroliše glavnu struju kroz komponentu. Komponente sa većinskim nosiocima imaju bolju brzinu (velika brzina rada) u odnosu na otpornost komponente u uključenom stanju (koja je velika). Komponente sa mešovitim nosiocima (bipolarnog tipa) teže da što više smanje otpornost kola u uključenom stanju na račun brzine. Hibridne komponente su između ove dve krajnosti. Posebno, za visokofrekventne, visokonaponske i niskostrujne primene LDMOS tranzistor je komponenta sa najpoželjnijim karakteristikama. Na nižim frekvencijama uključivanja i isključivanja i niskim do umerenim strujnim nivoima, IGBT obezbeđuje istu funkcionalnost uz značajnu uštedu prostora

Optimalna konstrukcija i proizvodnja TIGBT daće bolje performanse od konvencionalnog DMOS IGBT. TIGBT može raditi na veoma visokim naponima (>1000 V) i vrlo velikim gustinama struje (npr. 300 A/cm²), slično onim kod GTO komponenti, sa MOS gejt kontrolisanim mehanizmom isključivanja. Ipak ako je komponenta predviđena da radi na niskim naponima (< 600 V) i relativno malim gustinama struje (< 100 A/cm²), prednost trenč geometrije nad DMOS strukturom je minimalna. Zbog toga planarni IGBT ostaje solidno rešenje za određene energetske primene koje zahtevaju relativno nizak napon i male struje. Sa tehnološke tačke i sa tačke radnih karakteristika komponente [22], izgleda veoma verovatno da će TIGBT strukture koje rade u hibridnom PIN-ILET modu formirati osnovu za sledeću generaciju komponenti snage.

Budućnost nagoveštava dalje značajne napretke u performansama komponenta za velike snage zamenom silicijuma sa silicijum-karbidom (SiC). Usavršeni visokonaponski usmerači od SiC već su prikazani, a u toku je ogroman napor istraživača da od ovog materijala načine prekidače za velike snage. Tako je širom otvoren put za poboljšanje performansi komponenta za velike snage u idućem veku, što će se odraziti na bolje sisteme energetske elektronike za široku potrošnju i industriju.

LITERATURA

- [1] B.J.Baliga, "Trends in power semiconductor devices", IEEE Trans. on Elec.Dev., Vol.43, No.10, pp.1717-1732, 1996
- [2] K.Shenai, "Optimized trench MOSFET technologies for power devices", IEEE Trans. on Elec. Dev., vol.39, p.1435, 1992
- [3] B.J.Baliga, "An overview of smart power technology." IEEE Trans. Electron Devices, vol. 38, pp. 1568-1575, 1991.
- [4] M.N.Darwish, M.A.Shibib, "Lateral MOS-gated power devices - A unified view", IEEE Trans. on Elec.Dev., vol.38, no.7, pp.1600-1604, 1991
- [5] A.Q.Haung, G.A.J.Amaratunga, "The influence of an LIGBT on CMOS latch up in power intergrated circuits", IEEE Trans. on Elec.Dev., vol.42, no.10, p.1873, 1995
- [6] B.J.Baliga, "Power semiconductor devices for variable-frequency drives", Proc. of IEEE, vol.82, no.8, pp.1112-1122, 1994
- [7] M.Mehrota, B.J.Baliga, "Trench MOS Barrier Schottkey (TMBS) Rectifier", Solid State Electron., Vol.38, pp.703-713, 1995
- [8] K.Shenai, R.S.Scott, B.J.Baliga, "Optimum semiconductors for high-power electronics", IEEE Trans. on Elec.Dev., Vol.36, no.9, pp.1811-1823, 1989
- [9] T.Syau, et al, "Comparison of ultra-low specific on-resistance UMOSFET structures: The ACCUFET, EXTFET, INVFET, and conventional UMOSFET's," IEEE Trans. Elect. Dev., vol ED-41 pp. 800-808, 1994.
- [10] S.P.Pandarharkar, K.Senai, "Optimization of the anti-parallel in an IGBT module for hard-switching applications", IEEE Trans.on Elec.Dev., Vol.44, no.5, pp.879-886,1997
- [11] H.Hagino, et al, "An experimental and numerical study on the FBSOA of IGBT's", Trans. on Elec. Dev, Vol.43, no.3, pp.481-488, 1997
- [12] F.Udrea and G.Amaratunga, "The trench insulated gate bipolar transistor- a high power switching device", Proc. of 20th Int.Conf., Miel-95, Niš, pp.369-374, 1995.
- [13] F.Udrea, G.A.Amaratunga, "Theoretical and numerical comparison between DMOS and trench technologies for insulated gate bipolar transistors", IEEE Trans. on Elec.Dev, Vol.42, No.7, pp.1356-1366, 1996.
- [14] M.Nandakumar, B.J.Baliga et al., "Theoretical and experimental characteristics of the base resistance controlled thyristor (BRT)", IEEE Trans. on Elec.Dev., Vol.39, No.8, pp.1938-1944, 1992
- [15] N.Iwanuro, M.S.Shekar, and B.J.Baliga, "Forward biased safe operating area of emitter switched thyristors, "IEEE Trans. Elec. Dev., vol.42, pp. 334- 339, 1995.
- [16] B.J.Baliga, and R.Kurlagunda,"The dual gate base resistance controlled thyristor, "IEEE Electron Device Lett. , vol. 16, pp. 223-225, 1995.
- [17] J.S.Ajit, "Dual MOS gate controlled thyristor (DMGCT) structure with short-circuit withstand capability superior to IGBT", IEEE Elec.Dev.Lett., vol.17, no.6, pp.294-296, 1996

- [18] V.Pathasarathy, A.Bhalla, T.P.Chow, "A 550 V isolated channel base resistance controlled thyristor (ICBRT)", IEEE Elec.Dev.Lett., vol.16, no.6, pp.283-285, 1995
- [19] F.Udrea, G.A.J.Amaratunga, "The trench inversion layer emitter thyristor (ILET)", Proc. of CAS'96, pp.425-427, 1996
- [20] F.Udrea, G.J.Amaratunga, J.Humphrey, J.Clark, A.G.R.Evans, "The MOS inversion layer as a minority carrier injector", IEEE Elec.Dev.Lett., vol.17, no.9, pp.425-427, 1996
- [21] N.Thaper, B.J.Baliga, "The accumulation channel driven bipolar transistor (ACBT)", IEEE Elec. Dev. Lett., vol.18, no.5, pp.178-180, 1997
- [22] G.A.J.Amaratunga, F.Udrea, "The new generation of power semiconductor devices", Proc. of CAS'96, pp.469-478, 1996
- [23] C.E.Weitzel et al: "Silicon carbide high-power devices", IEEE Trans.on.Elec.Dev., vol.43, no.10, pp.1732-1741, 1996
- [24] N.Shenoy, J.A.Cooper, M.R.Melloch, "High-voltage double-implanted power MOSFET's in 6H-SiC", IEEE Elec. Dev. Lett. vol.18, no.3, 1997, pp.93-95
- [25] B.K.Bose, "Power electronics - a technology review", vol.80, no.8, pp.1303-1334, 1992
- [26] K.Shenai, "Power Semiconductors Device Design and Application", Short Course, 21th Int.Conf., Miel-97, Niš, 1997.

PRILOG A1 DEFINICIJA SPECIFIČNE OTPORNOSTI U UKLJUČENOM STANJU

Specifična otpornost u uključenom stanju ($R_{on,sp}$) definiše se preko sledećih relacija [26]

$$\frac{P_D}{A} = \frac{V_D I_D}{A} = \frac{I_D^2 R_{on}}{A} \frac{A}{A} = J_D^2 R_{on} A = J_D^2 R_{on,sp} \quad (A1)$$

gde su: P_D - snaga disipacije; I_D - struja drejna, V_D - napon drejna, J_D - gustina struje; R_{on} - otpornost u uključenom stanju i A - površina poprečnog preseka. Iz jednačine (A1) vidi se da je $R_{on,sp} = R_{on} A$, a jedinica za $R_{on,sp}$ je Ωcm^2 .

MODERN SEMICONDUCTOR POWER COMPONENTS M.B.Živanov and Lj.D.Živanov

Abstract - In this paper was done categorization and comparison of the most important characteristics of existing silicon power components. Especially, the new research direction and new design of semiconductor power components were shown. The most prominent new direction is using trench structures in power components. Besides new structures analyze was done for different improvements of known components. The new trends of power integrated circuits were shown. Also the possible trends of SiC developments were discussed

UTICAJ TEMPERATURE NA NAPON PRAGA OTVARANJA MOSFET-a

Aleksandar Ilišković, Ferid Softić, *Elektrotehnički fakultet u Banjaluci*

Sadržaj – U radu je izvršena analiza uticaja temperature na napon praga otvaranja MOS tranzistora. Dat je precizan matematički model a rezultati provjereni eksperimentalnim putem.

UVOD

Da bi se uprostio proračun temperaturne zavisnosti napona V_{GS} kada su uslovi zasićenja tranzistora ispunjeni a struja drejna konstantna, uvedene su određene pretpostavke. Naime, usvojeno je da površinski naboj Q_{ss} ne zavisi od temperature i da se uticaj konačne otpornosti drejna može zanemariti. Uticaj jonizacije stanja u unutrašnjosti osnove MOS tranzistora na promjenu struje drejna sa temperaturom uzima se u obzir tako što se usvaja da se vrijednost Fermijevog potencijala ϕ_F mijenja sa temperaturom. Pored vrijednosti ϕ_F sa temperaturom se mijenja napon V_{GS} i pokretljivost μ_n^* .

1. UTICAJ TEMPERATURE

S obzirom da se vrijenost struje zasićenja I_D [1]:

$$I_D = \frac{C_0 \mu_n^* Z}{L} \left[\frac{(V_{GS} - V_X)^2}{2} - \frac{1}{6} \left(\frac{|N| q \epsilon_s}{C_0^2} \right)^2 (1 - 3\xi + 2\xi^{3/2}) + \frac{2}{3} \left(\frac{2|N| q \epsilon_s}{C_0^2} \right)^{1/2} (2\phi_F - V_{BS})^{3/2} \right] \quad (1)$$

ne mijenja sa promjenom temperature diferenciranjem jednačine (1) po temperaturi T izlazi:

$$0 = \frac{\partial I_D}{\partial K} \frac{dK}{dT} + \frac{\partial I_D}{\partial V_{GS}} \frac{dV_{GS}}{dT} + \frac{\partial I_D}{\partial \phi_F} \frac{d\phi_F}{dT}, \quad (2)$$

gdje je ϕ_F Fermijev potencijal dok je konstanta K :

$$K = \frac{C_0 \mu_n^* Z}{L} \quad \text{i} \quad \frac{dK}{dT} = \frac{C_0 Z}{L} \frac{d\mu_n^*}{dT}. \quad (3)$$

Prvi sabirak jednačine (2) može se na osnovu relacija (1) i (3) izraziti u obliku:

$$\frac{\partial I_D}{\partial K} \frac{dK}{dT} = \frac{I_D}{K} \frac{C_0 Z}{L} \frac{d\mu_n^*}{dT} = -I_D' \left(-\frac{1}{\mu_n^*} \frac{d\mu_n^*}{dT} \right). \quad (4)$$

Strmina tranzistora u zasićenju data je relacijom:

$$g_m' = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, V_{BS}} = \frac{C_0 \mu_n^* Z}{L} V_{DS}', \quad (5)$$

tako da drugi sabirak relacije (2) glasi:

$$\frac{\partial I_D}{\partial V_{GS}} \frac{dV_{GS}}{dT} = g_m' \frac{dV_{GS}}{dT} = KV_{DS}' \frac{dV_{GS}}{dT}. \quad (6)$$

Konačno, na osnovu relacije (1), posljednji sabirak relacije (2) dobija oblik:

$$\frac{\partial I_D}{\partial \phi_F} \frac{d\phi_F}{dT} = \frac{d\phi_F}{dT} K \left\{ -\frac{1}{2} \left(\frac{|N| q \epsilon_s}{C_0^2} \right)^2 (\xi^{1/2} - 1) \frac{d\xi}{d\phi_F} - (V_{GS} - V_X) \frac{dV_X}{d\phi_F} + 2 \left[\frac{2|N| q \epsilon_s}{C_0^2} (2\phi_F - V_{BS}) \right]^{1/2} \right\}. \quad (7)$$

Relacija (7) može se izraziti u znatno sažetijem obliku. Naime, na osnovu relacije

$$V_X = \phi_{MS} + 2\phi_F - V_{SS}, \quad (8)$$

gdje je ϕ_{MS} radna funkcija metal-poluprovodnik određena relacijom $\phi_{MS} = \phi_{MO} - \left(\phi_{SO} + \frac{E_g}{2q} + \phi_F \right)$, dobija se:

$$\frac{dV_X}{d\phi_F} = \frac{d\phi_{MS}}{d\phi_F} + 2 = 1. \quad (9)$$

Diferenciranjem relacije

$$\xi = 1 - \frac{2C_0^2}{Nq\epsilon_s} (V_{GS} - V_X + 2\phi_F - V_{BS}) \quad (10)$$

te smjenom vrijednosti (9) u (10) dobija se:

$$\frac{d\xi}{d\phi_F} = -\frac{2C_0^2}{Nq\epsilon_s} \left(-\frac{dV_X}{d\phi_F} + 2 \right) = \frac{2C_0^2}{|N|q\epsilon_s}. \quad (11)$$

Imajući u vidu relaciju

$$V_{DS}' = V_{GS} - V_X - \frac{Nq\epsilon_s}{C_0^2} (1 - \xi^{1/2}), \quad (12)$$

smjenom vrijednosti (9), (10) i (11) u relaciju (7), uz napomenu da je kod n -kanalnog tranzistora $|N| = -N$, biće:

$$\frac{\partial I_D}{\partial \phi_F} \frac{d\phi_F}{dT} = K \frac{d\phi_F}{dT} [2(V_T - V_{GS}) + V_{DS}']. \quad (13)$$

Smjenom vrijednosti (4), (6) i (13) u relaciju (2) izlazi nakon sređivanja:

$$\frac{dV_{GS}}{dT} = \frac{I_D'}{g_m'} \left(-\frac{1}{\mu_n^*} \frac{d\mu_n^*}{dT} \right) - \frac{d\phi_F}{dT} \left[\frac{-2(V_{GS} - V_T)}{V_{DS}'} + 1 \right], \quad (14)$$

gdje je, na osnovu relacije (6), strmina tranzistora u oblasti zasićenja data relacijom

$$g_m' = KV_{DS}'. \quad (15)$$

Prvi i drugi član relacije (14) imaju pozitivne vrijednosti. Ti članovi se međusobno oduzimaju i desna strana te relacije može da bude, pri određenim vrijednostima napona V_{GS} , pozitivna, negativna ili jednaka nuli. Prema tome, promjenom napona V_{GS} može se podesiti radna tačka MOS tranzistora sa temperaturnim koeficijentom struje drejna jednakim nuli. Ta vrijednost napona V_{GS} nalazi se na mjestu presjeka krive $dV_{GS}/dT = f(V_{GS})$, definisane relacijom (14), sa apscisnom osom pravougaonog koordinatnog sistema

($V_{GS}, 0, dV_{GS}/dT$). Prethodno je potrebno u relaciji (14) navedene parametre izraziti u podesnijem obliku za analizu.

Fermijev potencijal osnove n -kanalnog tranzistora je pozitivan i dat sa

$$\varphi_F = \frac{kT}{q} \ln \frac{|N|}{n_i} > 0. \quad (16)$$

Gustina nosilaca elektriciteta kod čistog silicijuma mijenja se sa temperaturom prema relaciji [2]:

$$n_i = 3,87 \cdot 10^{16} T^{3/2} e^{-0,605 \frac{q}{kT}}. \quad (17)$$

Smjenom vrijednosti (17) u relaciju (16), te diferenciranjem po temperaturi izlazi:

$$\frac{d\varphi_F}{dT} = -\frac{3k}{2q} - \frac{1}{T}(0,605 - \varphi_F), \quad (18)$$

ili zbog mogućnosti zanemarivanja prvog člana:

$$\frac{d\varphi_F}{dT} \approx -\frac{1}{T}(0,605 - \varphi_F). \quad (19)$$

Pokretljivost nosilaca elektriciteta mijenja se sa temperaturom prema relaciji

$$\mu_n^* = A_1 T^{-1,5}, \quad (20)$$

gdje je A_1 konstanta proporcionalnosti. Iz relacije (20) dobija se:

$$-\frac{1}{\mu_n^*} \frac{d\mu_n^*}{dT} = \frac{1,5}{T}. \quad (21)$$

Uzimajući u obzir relaciju

$$\frac{I_D'}{g_m'} = \frac{1}{n}(V_{GS} - V_T), \quad (22)$$

te smjenom relacija (19) i (21) u relaciju (14), pri čemu se usvaja da je $n=2$, izlazi:

$$\frac{dV_{GS}}{dT} = \frac{V_{GS} - V_T}{T} \left(0,75 - \frac{2(0,605 - \varphi_F)}{V_{DS}} \right) + \frac{0,605 - \varphi_F}{T}. \quad (23)$$

U oblasti nezasićenja, kada je napon V_{DS} dovoljno male vrijednosti, temperaturni koeficijent promjene provodnosti kanala zavisi od promjene pokretljivosti μ_n^* i napona praga V_T . Diferenciranjem relacije

$$g_{ds}|_{V_{DS}=0} = \frac{C_0 \mu_n^* Z}{L} (V_{GS} - V_T) \quad (24)$$

po temperaturi T izlazi:

$$\frac{1}{g_{ds}} \frac{dg_{ds}}{dT} = \frac{1}{\mu_n^*} \frac{d\mu_n^*}{dT} - \frac{1}{V_{GS} - V_T} \frac{dV_T}{dT}. \quad (25)$$

Prilikom proračuna temperaturnog koeficijenta dV_T/dT može se sa velikom tačnošću usvojiti da površinski ekvivalentni električni naboj Q_{ss} , odnosno napon V_{SS} , ne zavisi od temperature. Ova pretpostavka provjerena je eksperimentalnim putem direktnim mjerenjem vrijednosti dV_T/dT kod velikog broja različitih tipova MOS tranzistora.

Napon praga V_T n -kanalnog MOS tranzistora dat je relacijom:

$$V_T = V_X + \left[\frac{2|N|q\epsilon_s(-V_{BS} + 2\varphi_F)}{C_0^2} \right]^{1/2}, \quad (26)$$

a napon V_X relacijom (8), dok je radna funkcija metal-poluprovodnik φ_{MS} :

$$\varphi_{MS} = \varphi_{MO} - \left(\varphi_{SO} + \frac{E_g}{2q} + \varphi_F \right). \quad (27)$$

Može se usvojiti da se u relaciji (8) mijenjaju sa temperaturom φ_{MS} i φ_F . Smjenom vrijednosti (27) u relaciju (8) i diferenciranjem tako dobijene relacije po temperaturi T izlazi:

$$\frac{dV_X}{dT} = -\frac{d\varphi_F}{dT} + 2\frac{d\varphi_F}{dT} = \frac{d\varphi_F}{dT}. \quad (28)$$

Temperaturni koeficijent napona V_T n -kanalnog MOS tranzistora dobija se diferenciranjem relacije (26) po temperaturi T i smjenom (28) u tako dobijenu relaciju:

$$\frac{dV_T}{dT} = \frac{d\varphi_F}{dT} \left[1 + \sqrt{\frac{2|N|q\epsilon_s}{C_0^2(2\varphi_F - V_{BS})}} \right]. \quad (29)$$

Temperaturni koeficijent napona V_T p -kanalnog MOS tranzistora dobija se diferenciranjem sljedeće relacije po temperaturi T :

$$V_T = V_X - \left[\frac{2|N|q\epsilon_s(V_{BS} - 2\varphi_F)}{C_0^2} \right]^{1/2} \quad (30)$$

i korišćenjem izraza (28) izlazi:

$$\frac{dV_T}{dT} = \frac{d\varphi_F}{dT} \left[1 + \sqrt{\frac{2|N|q\epsilon_s}{C_0^2(-2\varphi_F + V_{BS})}} \right]. \quad (31)$$

Ako se uzme u obzir da je kod n -kanalnog MOS tranzistora $\varphi_F > 0$ i $V_{BS} < 0$, dok je kod p -kanalnog MOS tranzistora situacija obrnuta, tako da je $\varphi_F < 0$ i $V_{BS} > 0$, relacije (29) i (31) mogu se objediniti u jednu, koja glasi:

$$\frac{dV_T}{dT} = \frac{d\varphi_F}{dT} \left[1 + \sqrt{\frac{2|N|q\epsilon_s}{C_0^2(2|\varphi_F| + |V_{BS}|)}} \right]. \quad (32)$$

Iz relacije (32) izlazi da je znak temperaturnog koeficijenta napona praga V_T određen znakom temperaturnog koeficijenta Fermijevog potencijala φ_F osnove tranzistora. Sa porastom temperature Fermijev energetski nivo E_F približava se srednjoj energetskoj liniji kod primjesnih poluprovodnika. Posljedica toga je da se Fermijev potencijal φ_F kod p -poluprovodnika smanjuje, dok kod n -poluprovodnika raste sa porastom temperature T . Drugim riječima, dobija se da je $d\varphi_F/dT < 0$ kod p -poluprovodnika i $d\varphi_F/dT > 0$ kod n -poluprovodnika. Prema tome, kod n -kanalnog MOS tranzistora biće $dV_T/dT < 0$, a kod p -kanalnog MOS tranzistora $dV_T/dT > 0$. Iz iste relacije takođe se može zaključiti da se vrijednost modula temperaturnog koeficijenta napona praga smanjuje pri smanjivanju koncentracije primjesa N u osnovi tranzistora. Temperaturni koeficijent dV_T/dT se smanjuje i pri porastu specifične kapacitivnosti C_0 dijela gejt-kanal, tj. pri smanjivanju debljine sloja oksida x_o .

Fermijev potencijal u odnosu na središnju energetska liniju E_i ima vrijednost φ_F . U slučaju n -kanalnog tranzistora, kod koga je osnova poluprovodnik p -tipa, Fermijev potencijal dat je sa

$$\varphi_F = \frac{kT}{q} \ln \frac{p_o}{n_i} \quad (33)$$

S obzirom da je $p_o = N_a = |N_d - N_a| = |N|$, jer je $N_d = 0$, relacija (33) glasi

$$\varphi_F = \frac{kT}{q} \ln \frac{|N|}{n_i} \quad (34)$$

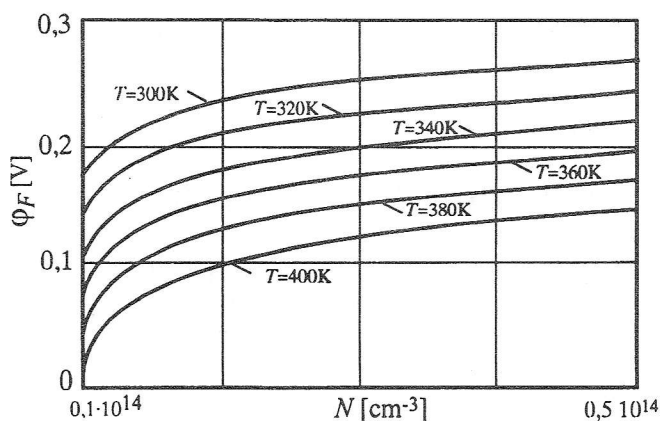
Uvrštavanjem izraza za sopstvena koncentraciju

$$n_i = AT^{3/2} e^{-\frac{E_g}{2kT}}, A = \frac{2(2\pi k)^{3/2} (m_n m_p)^{3/4}}{h^3} \quad (35)$$

u relaciju (34) proizlazi da je Fermijev potencijal

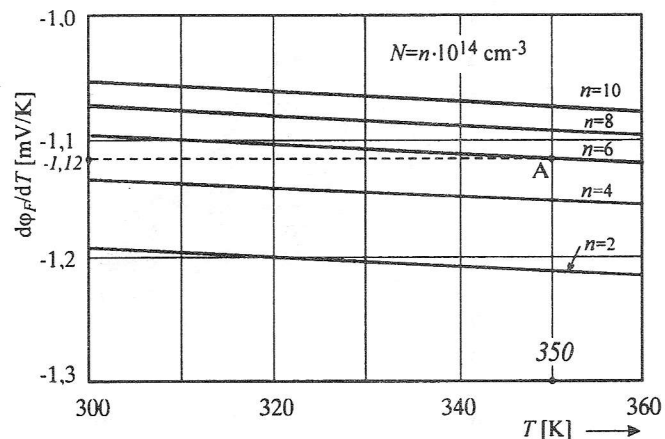
$$\varphi_F = \frac{kT}{q} \left(\ln \frac{|N|}{A} - \frac{3}{2} \ln T + \frac{E_g}{2kT} \right) \quad (36)$$

Iz relacije (36) izlazi da je Fermijev potencijal funkcija temperature i koncentracije primjesa što je pokazano na sl.1.



Sl. 1. Zavisnost Fermijevog potencijala od koncentracije pri temperaturi kao parametru.

Primjer proračuna je dat za tipičan n - kanalni MOS tranzistora.



Sl. 2. Promjena $d\varphi_F/dT = f(T)$.

Tako se pri $T = 350$ K i koncentraciji $N = 6 \cdot 10^{14} \text{ cm}^{-3}$ dobija da je $d\varphi_F/dT = -1,12 \text{ mV/K}$ (tačka A). Pri proračunu je

uzeta konstanta A za silicijumski materijal $A = 3,87 \cdot 10^{16} \text{ cm}^{-3} \text{ K}^{-3/2}$, energetski procjep $E_g = E_g(0) = 1,21 \text{ eV}$, Bolcmanova konstanta $k = 1,38 \cdot 10^{-23} \text{ J/K}$ te $q = 1,6 \cdot 10^{-19} \text{ C}$,

Temperaturni koeficijent Fermijevog potencijala n -kanalnog MOS tranzistora dobija se diferenciranjem relacije (36) po temperaturi T :

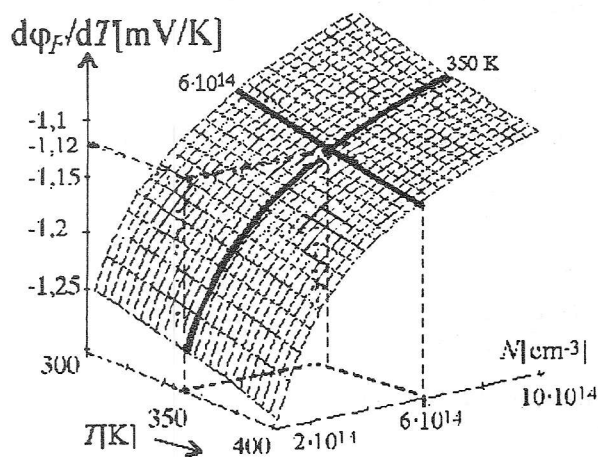
$$\frac{d\varphi_F}{dT} = \frac{1}{T} \varphi_F - \frac{1}{2T} \left(3 \frac{kT}{q} + \frac{E_g}{q} \right), \quad (37)$$

ili

$$\frac{d\varphi_F}{dT} = \frac{1}{T} \left(\varphi_F - \frac{3}{2} \varphi_T - \frac{\varphi_g}{2} \right) \approx -\frac{1}{T} \left(\frac{\varphi_g}{2} - \varphi_F \right). \quad (38)$$

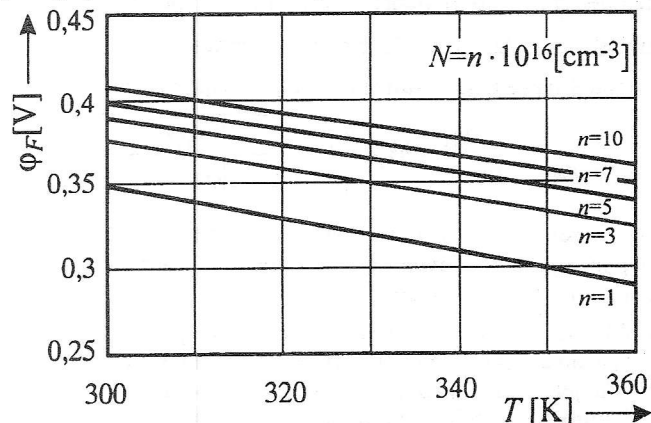
U relaciji (38) zanemaren je drugi član u maloj zagradi kao znatno manji od vrijednosti φ_F i $\varphi_o/2$. Kako je uvijek $\varphi_F < \varphi_o/2$ kod nede generisanih poluprovodnika, dobija se da je temperaturni koeficijent Fermijevog potencijala osnove n -kanalnog MOS tranzistora negativan (sl.2). Relacija (19) predstavlja specijalni slučaj relacije (38), koja važi za bilo koji poluprovodnik p -tipa.

Navedena promjena je funkcija dvije promjenljive tako da se dobija trodimenzionalni dijagram (sl.3). U tački A temperatura je $T = 350$ K, koncentracija $N = 6 \cdot 10^{14} \text{ cm}^{-3}$, te je promjena $d\varphi_F/dT = -1,12 \text{ mV/K}$.



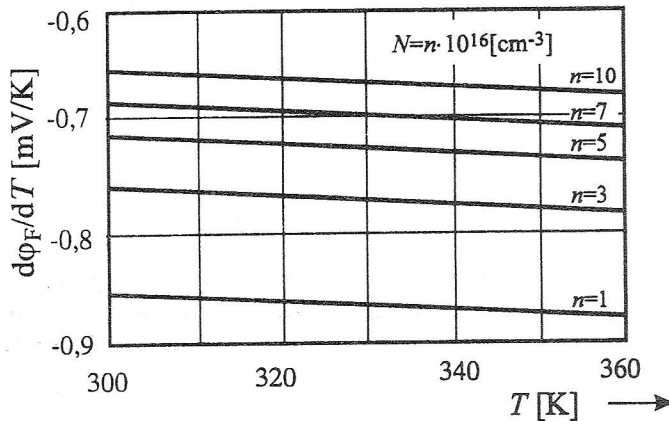
Sl. 3. Dijagram promjene Fermijevog potencijala u funkciji temperature i koncentracije.

Povećavanjem koncentracije primjesa u poluprovodniku dolazi do povećanja Fermijevog potencijala (sl.4) a zavisnost postaje praktično linearna sa promjenom temperature.



Sl. 4. Zavisnost Fermijevog potencijala pri većim koncentracijama primjesa.

Međutim, promjena $d\phi_F/dT$ u slučaju većih koncentracija se smanjuje (sl.5). Sa povećanjem koncentracije temperaturna zavisnost ostaje praktično linearna kao i kod manjih koncentracija (sl.2).



Sl.5. Uticaj nivoa koncentracije na promjenu Fermijevog potencijala $d\phi_F/dT$.

Analognim postupkom dobija se vrijednost Fermijevog potencijala i njegovog temperaturnog koeficijenta za p -kanalni MOS tranzistor. U ovom slučaju osnova tranzistora je poluprovodnik n -tipa, pa važi relacija:

$$\phi_F = -\frac{kT}{q} \ln \frac{N}{n_i} \quad (39)$$

Smjenom vrijednosti (35) u relaciju (39) izlazi

$$\phi_F = -\frac{kT}{q} \left(\ln \frac{N}{A} - \frac{3}{2} \ln T + \frac{E_g}{2kT} \right), \quad (40)$$

što daje:

$$\frac{d\phi_F}{dT} = \frac{1}{T} \left(\phi_F + \frac{3}{2} \phi_T + \frac{\phi_g}{2} \right) \approx \frac{1}{T} \left(\frac{\phi_g}{2} + \phi_F \right). \quad (41)$$

Relacije (38) i (41) mogu se objediniti u jedan izraz, pa se dobija:

$$\frac{d\phi_F}{dT} = \mp \frac{1}{T} \left(\frac{\phi_g}{2} - |\phi_F| \right) \quad (42)$$

pri čemu se znak minus odnosi na n -kanalni, a znak plus na p -kanalni MOS tranzistor. U slučaju p -kanalnog tranzistora temperaturni koeficijent $d\phi_F/dT$ je pozitivan, jer je uvijek $\phi_g/2 > |\phi_F|$. Smjenom vrijednosti (42) u relaciju (32) dobija se temperaturni koeficijent napona praga

$$\frac{dV_T}{dT} = \mp \frac{1}{T} \left(\frac{\phi_g}{2} - |\phi_F| \right) \left[1 + \sqrt{\frac{2|N|q\epsilon_s}{C_0^2(2|\phi_F| + |V_{BS}|)}} \right]. \quad (43)$$

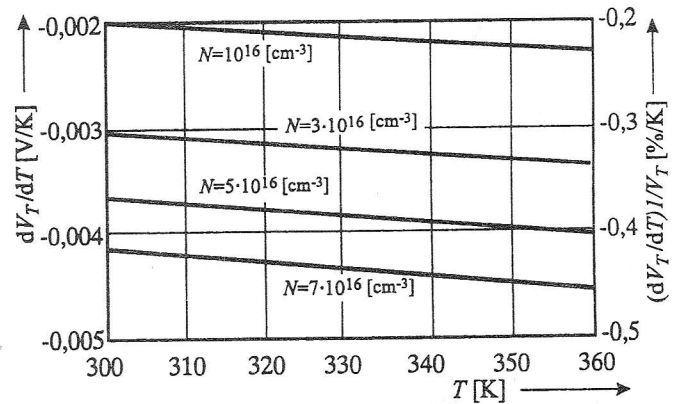
Iz relacije (43) izlazi da je temperaturni koeficijent napona praga negativan kod n -kanalnih, a pozitivan kod p -kanalnih MOS tranzistora.

Da bi se grafički predstavile zavisnosti promjene napona praga otvaranja o temperaturi dV_T/dT kao i temperaturni koeficijent tog napona $(dV_T/dT)/V_T$ biće analiziran silicijumski poluprovodnički materijal kod koga koncentracija primjese iznosi $N = n \cdot 10^{16} \text{ cm}^{-3}$, $n = 1,3,5,7$, specifična kapacitivnost dijela gejt-kanal $C_0 = 0,0169 \cdot 10^{-6}$

F/cm^2 , $\epsilon_o = 8,854 \cdot 10^{-14} \text{ F/cm}$, $\epsilon_s = 1,06 \cdot 10^{-12} \text{ F/cm}$, $V_{BS} = 0$. Tada je:

$$\phi_F = \frac{T}{11594} \ln \frac{n}{3,87 \cdot T^{3/2} \cdot e^{-7018/T}}$$

$$\frac{dV_T}{dT} = \frac{d\phi_F}{dT} \left[1 + \sqrt{\frac{1,696 \cdot 10^3 \cdot n}{285,6 \cdot \phi_F}} \right] \quad (44)$$

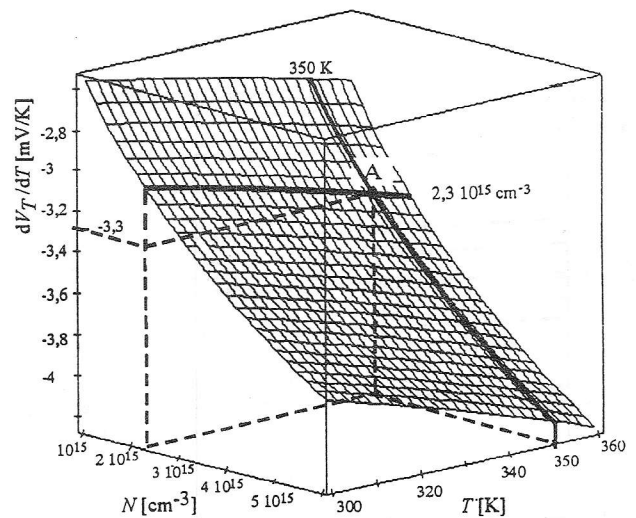


Sl.6. Promjene napona praga dV_T/dT sa temperaturom.

Tako vidimo (sl.6) da se pri porastu koncentracije od $N = 10^{16} \text{ cm}^{-3}$ do $N = 7 \cdot 10^{16} \text{ cm}^{-3}$, kod temperature $T = 300 \text{ K}$, dobija promjena temperaturnog koeficijenta napona praga otvaranja sa $-0,2 \text{ \% / K}$ na $-0,4 \text{ \% / K}$.

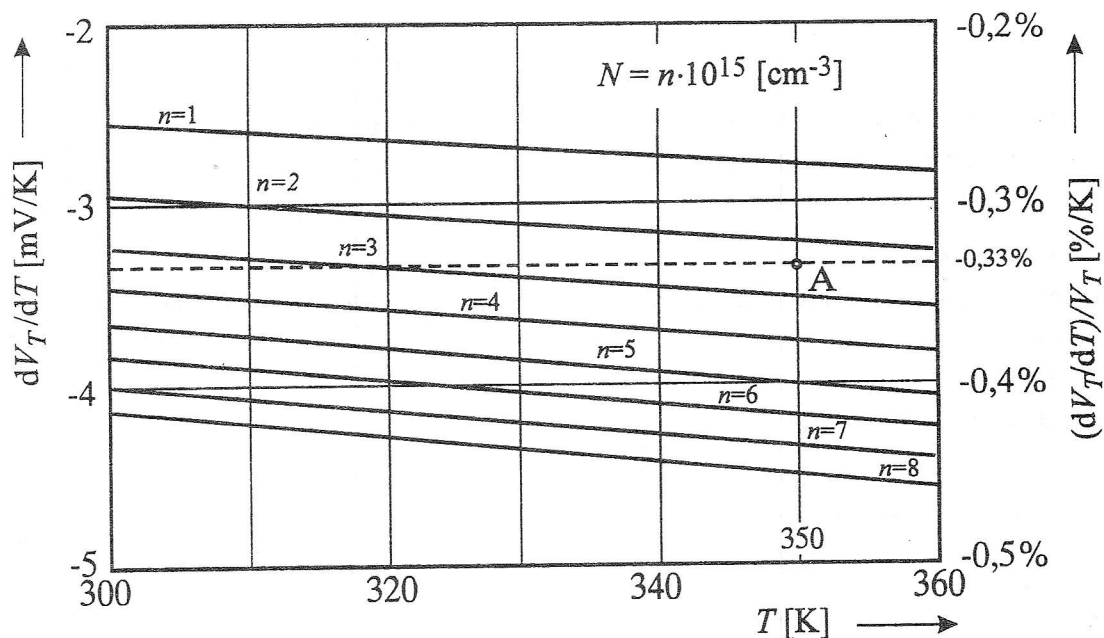
2. EKSPERIMENTALNI REZULTATI

Mjerenja su izvršena na n kanalnom MOSFET-u u oblasti temperatura od 300 K do 360 K . Takođe je izvršen proračun promjene napona praga otvaranja po temperaturi u funkciji koncentracije primjese i temperature u istom opsegu.

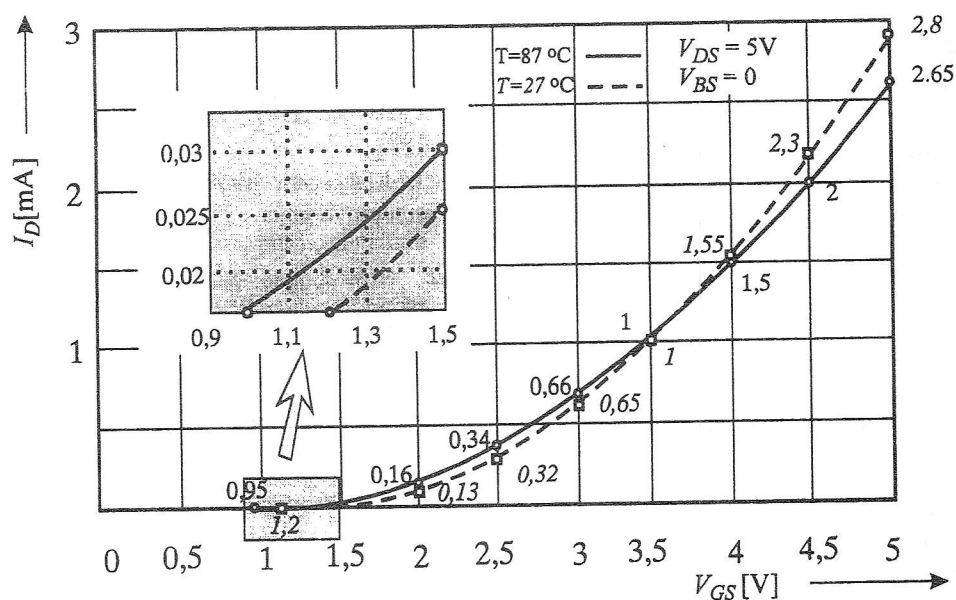


Sl.7. Zavisnost dV_T/dT za n -kanalni tranzistor.

Tako pri $T = 350 \text{ K}$ i $N = 2,3 \cdot 10^{15} \text{ cm}^{-3}$ navedena promjena iznosi $-3,3 \text{ mV/K}$.



Sl. 8. Parametarski dijagram zavisnosti $\frac{dV_T}{dT}$ i $\frac{1}{V_T} \frac{dV_T}{dT}$



Sl. 9. Eksperimentalni rezultati $I_D = f(V_{GS}, T)$

Na sl.8 prikazani su rezultati dobijeni proračunom. Na lijevoj ordinati nanesena je promjena napona praga otvaranja po temperaturi dok je na desnoj ordinati dat temperaturni koeficijent napona praga otvaranja u funkciji temperature. Kao parametar uzeta je promjena koncentracije primjese N . U tački A pri $T = 350$ K vrijednost temperaturnog koeficijenta napona praga otvaranja $\frac{1}{V_T} \frac{dV_T}{dT} = -0,33 \text{ \% / K}$ dobija se pri koncentraciji $N \approx 2,3 \cdot 10^{15} \text{ cm}^{-3}$.

drejna I_D u funkciji napona V_{GS} za dvije temperature $T = 27^\circ\text{C}$ i $T = 87^\circ\text{C}$.

Posebno je izdvojen dio krive u okolini napona praga otvaranja tako da se može izračunati da promjena napona iznosi:

$$dV_T / dT = (1,2 - 1) / (27 - 87) = -0,00333 \text{ V/K} = -3,33 \text{ mV/K.}$$

Za relativnu promjena napona praga otvaranja se dobija:

$$(dV_T / dT) / V_T = -0,333 \text{ \% / K.}$$

Rezultati mjerenja za posmatrani n - kanalni tranzistor predstavljeni su grafički na sl. 9 gdje je data zavisnost struje

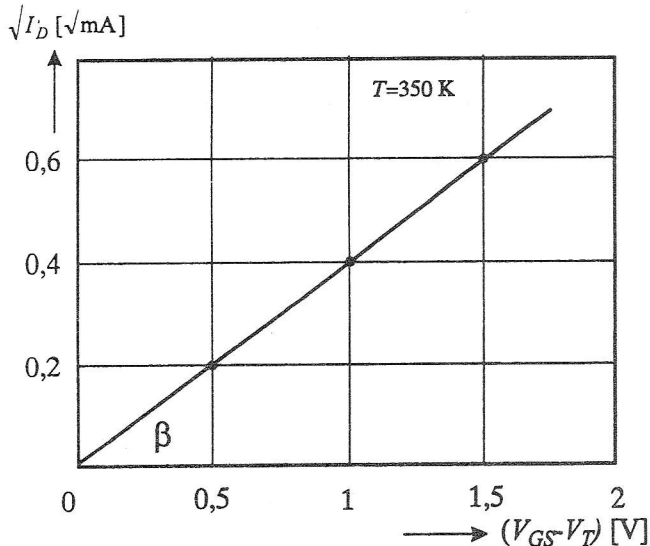
Na sl.10 predstavljeni su rezultati mjerenja $\sqrt{I_D} = f(V_{GS} - V_T)$. Uočimo da je dobijena linearna zavisnost. Ugao nagiba pravca obilježen je sa β . Kako se izraz za struju I_D može opisati relacijom [3]:

$$\sqrt{I_D} = \sqrt{k_2} (V_{GS} - V_T) \quad (45)$$

tada se koeficijent smjera $\sqrt{k_2}$, odnosno k_2 može izračunati

$$\text{kao: } tg\beta = \frac{0,4 - 0,2}{1 - 0,5} = 0,4 \quad (46)$$

$$k_2 = tg^2\beta = 0,16 \text{ mA} / \text{V}^2.$$



Sl.10. Zavisnost $\sqrt{I_D} = f(V_{GS} - V_T)$.

3. OZNAKE

C_o – specifična kapacitivnost dijela gejt-sors,
 Z – širina kanala,
 L – dužina kanala,
 x_o – debljina sloja oksida,
 μ_n – pokretljivost elektron,
 ϵ_s – dielektrična konstanta supstrata $\epsilon_s = \epsilon_r \epsilon_o$,
 ϕ_F – Fermijev potencijal
 ϕ_{MS} – radna funkcija metal-poluprovodnik,
 ϕ_{s0} – potencijal energetske barijere $\text{SiO}_2\text{-Si}$,
 V_{ss} – naponski ekvivalent površinskog naboja Q_{ss} ,
 V_{BS} – napon osnove prema masi,
 V_T – napon praga otvaranja,
 E_g – širina energetskog procjepa,

N – koncentracija primjesa,
 n_i – koncentracija nosilaca elektriciteta kod čistog poluprovodnika,
 g_m – strmina tranzistora,
 k – Boltzmanova konstanta $k = 8,62 \cdot 10^{-5} \text{ eV/K}$,
 h – Plankova konstanta $h = 6,626 \cdot 10^{-34} \text{ Js}$,
 q – naboj elektrona $q = 1,6 \cdot 10^{-19} \text{ C}$,
 k_3 – konstanta,
 k_1 – koeficijent smjera,
 A_1 – konstanta proporcionalnosti,
 A – konstanta zavisna od poluprovodničkog materijala,
 m_n, m_p – efektivne mase elektrona odnosno šupljina.
 $n = k_3 / k_p$,

4. ZAKLJUČAK

Provedena detaljna analiza uticaja temperature na napon praga otvaranja MOSFET-a pokazuje da se proračunski dobijene vrijednosti za tipičan tranzistor podudaraju sa eksperimentalno izmjerenim vrijednostima realnog tranzistora.

Uticaj temperature i koncentracije na analizirane parametre predstavljen je grafički egzaktnim dijagramima tako da se, osim posmatranih, mogu precizno očitati koordinate i drugih tačaka.

5. LITERATURA

- [1]. Dr Aleksandar Ilišković: ELEKTRONIKA 2 – TRANZISTORI, Elektrotehnički fakultet Banjaluka, 1997.
- [2]. Dr Aleksandar Ilišković: ELEKTRONIKA 1 – Fizika poluprovodnika i diode, Elektrotehnički fakultet Banjaluka, 1995.
- [3] A. Ortiz-Conde: "Long-Channel Silicon-On-Insulator MOSFET Theory", Solid-State Electron, vol.35, no.9, 1992.

Abstract— This paper presents the analysis of temperature influence to the threshold voltage in MOSFET. It contains the precise mathematical model and results are confirmed in the experiment.

TEMPERATURE INFLUENCE TO THE TRESHOLD VOLTAGE IN MOSFET

Dr Aleksandar Ilišković, Mr Ferid Softić.

ADRESIBILNI SENZOR TEMPERATURE

Bojan Leković, Branimir Đorđević, Milun Jevtić, *Elektronski fakultet u Nišu*

Sadržaj - U ovom radu obrađena je jedna realizacija adresibilnog senzora temperature niske potrošnje (nekoliko mW). Posle koncepcije izrade adresibilnog senzora temperature, koji pored merenja frekvencije i ostvarivanja funkcije adresibilnosti ima i zadatak linearizacije karakteristike senzora, predstavljena je najpre njegova struktura zasnovana na T/f konvertoru i RISC mikrokontroleru, zatim je razvijena metodologija za kalibraciju senzora generisanjem look-up tabele i na kraju je dat jedan protokol za komunikaciju.

1. UVOD

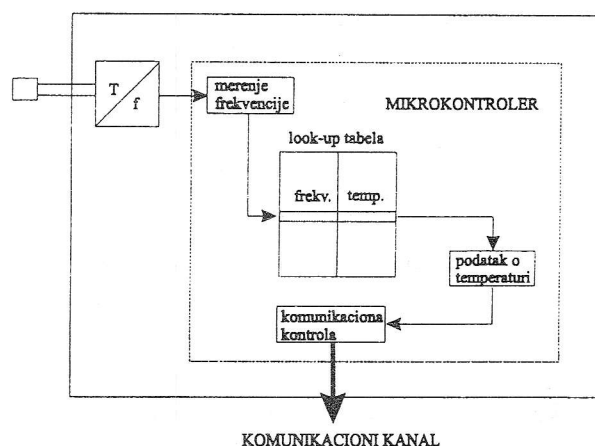
Svedoci smo razvoja najnovije generacije senzora koji pored osnovnih funkcija: pretvaranja fizičke u električnu veličinu i konvertovanja tako dobijenog signala u oblik pogodan za obradu imaju još niz dodatnih funkcija koje im daju odlike inteligentnih senzora. Ovi senzori su adresibilni, ne retko i sa mogućnošću autokalibracije i samotestiranja. Preko komunikacionog kanala povezani su sa procesnim računarom.

Cilj ovog rada jeste realizacija adresibilnog senzora temperature. Senzor treba da bude: adresibilan, relativno dobre tačnosti (<1%), niske potrošnje - pogodan za baterijska napajanja i relativno jednostavan za serijsku proizvodnju. Realizovan je i ovde izložen senzor temperature koji može da ima širinu mernog opsega od 10 do 100°C. Namenjen je za merenje temperature u opsegu od 0°C do 100°C.

Prihvatajući da se senzor realizuje raspoloživim komponentama (mada može da se proizvodi i kao integrisana komponenta) kao najprihvatljivije rešenje odabrani su: NTC termistor, komparatori i mikrokontroler koji obezbeđuju nisku potrošnju. Analogni deo senzora je baziran na neposrednom T/f konvertoru sa NTC termistorom dok merenje frekvencije, linearizaciju karakteristike senzora (look-up tabela) i funkciju adresibilnosti obavlja mikrokontroler PIC12C509. Adresibilni senzor komunicira sa nadređenim mikroračunarskim sistem po protokolu za komunikaciju koji je predložen na kraju.

2. ADRESIBILNI SENZOR TEMPERATURE

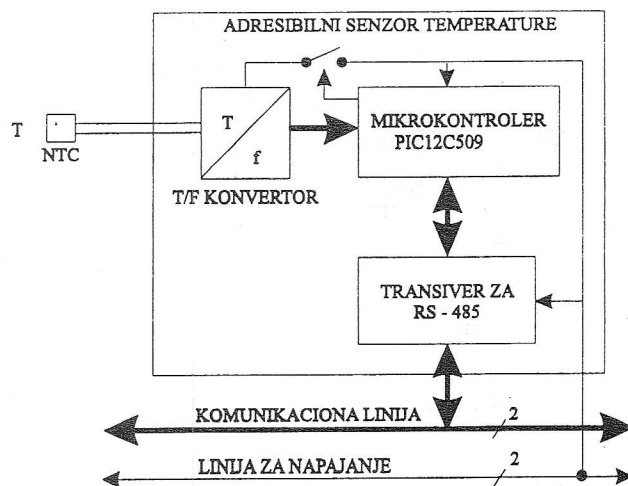
Strukturu adresibilnog senzora temperature ćemo najlakše uočiti ako najpre razmotrimo tok i način generisanja informacije o temperaturi na slici 1. Kao pretvarač temperature u električnu veličinu, obzirom na relativno uzan radni temperaturni opseg, najprikladniji je NTC termistor. Termistor je uključen u kolo



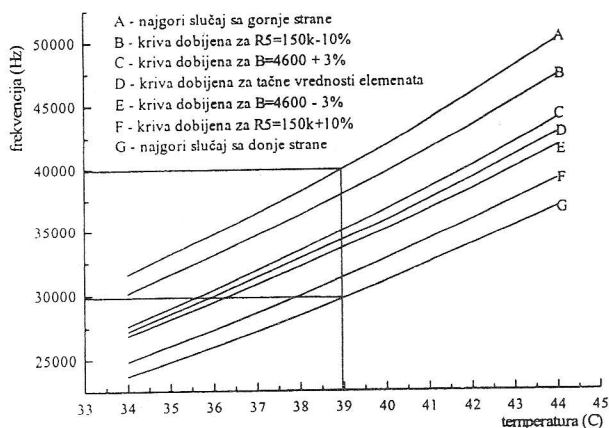
Slika 1. Tok generisanja informacije o temperaturi

neposrednog T/f konvertora koji temperaturu ambijenta konvertuje u frekvenciju koju zatim meri mikrokontroler PIC12C509. Promena frekvencije T/f konvertora sa temperaturom je nelinearna pa je za linearizaciju neophodno generisati tabelu uporednih vrednosti frekvencija i temperatura (look-up tabelu) i nju smestiti u programsku memoriju PIC-a. Pošto mikrokontroler obavi merenje, on onda pretražuje look-up tabelu i iz nje čita normalizovanu vrednost temperature.

Dobije podatak o izmerenoj temperaturi treba, na zahtev nadređenog mikroračunarskog sistema, proslediti kroz komunikacionu liniju. Drugim rečima potrebno je omogućiti obostranu komunikaciju senzora i nadređenog mikroračunarskog sistema a u nekim slučajevima i međusobnu komunikaciju između samih



Slika 2. Blok struktura adresibilnog senzora temperature



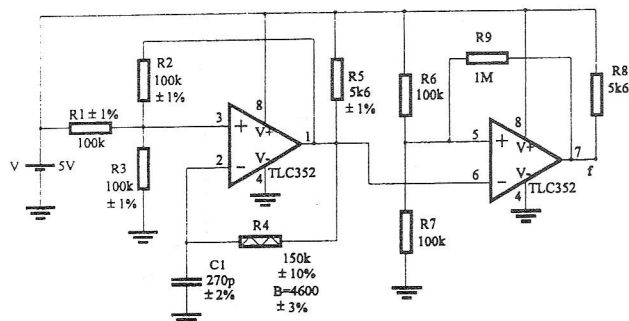
Slika 4. Zavisnosti frekvencije od temperature T/f konvertora za različite vrednosti elemenata

senzora. Ovo se može izvesti ili multipleksiranjem linija, kada svaki senzor ima posebnu komunikacionu liniju, ili adresiranjem senzora kada svi senzori koriste jednu komunikacionu liniju, a mikroracunar im se obraća po adresi. Druga varijanta je očito jeftinija i u ovom radu implementirana. Konačna blok struktura adresibilnog senzora izgleda kao na slici 2.

Pored komunikacione linije svakako je neophodna i linija za napajanje. Melutim na ovom mestu je bitno istaći da se adresibilni senzor temperature projektuje sa kolima ekstremno niske potrošnje tako da je moguće primeniti i baterijsko napajanje.

3. ANALOGNI DEO

Za realizaciju analognog dela adresibilnog senzora temperature najpodesniji je direktni T/f konvertor [2] na bazi astabilnog multivibratora prikazanog na slici 3.



Slika 3. T/f konvertor kao analogni deo adresibilnog senzora temperature

Simulacijom predložene šeme u programskom paketu PSPICE 7.1, za različite vrednosti elemenata (u skladu sa navedenim tolerancijama) dobijena je familija krivih kao na slici 4.

Kao što možemo videti, velike razlike u frekvenciji dva ista T/f konvertora, na istoj temperaturi, u radnom

opsegu, predstavljaju ozbiljan problem. Na žalost, nikakvim podešavanjem konvertora dobijene krive se ne mogu poklopiti. Dobra osobina ovog konvertora je nezavisnost frekvencije od vrednosti napona napajanja.

Look-up tabelu možemo odrediti snimanjem karakteristike, odnosno merenjem frekvencije T/f konvertora u određenom broju ekvidistantnih temperaturnih tačaka. Ako želimo da adresibilni senzor u radnom temperaturnom opsegu ima tačnost od 0.1°C onda je neophodno look-up tabelu snimiti sa korakom 0.05°C . Za relativno uzak temperaturni opseg od 10°C , već je neophodno izvesti 200 merenja. Međutim, to u ovom trenutku i nije jedini problem. Obzirom na tolerancije elemenata u kolu, svaki T/f konvertora ima jedinstvenu karakteristiku, što praktično znači da se za svaki senzor ponaosob mora generisati look-up tabela, odnosno izvesti pomenutih 200 merenja. U slučaju masovne proizvodnje, ovo može da predstavlja nepremostiv tehnološki problem. Prilikom generisanja look-up tabele se zato možemo poslužiti jednom drugom idejom. Umesto da određujemo karakteristiku

T/f konvertora merenjem u jako puno ekvidistantnih tačaka, merenje možemo izvesti u samo 3 temperaturne tačke (početak, sredina i kraj temperaturnog opsega npr.) a karakteristiku generisati uz pomoć aproksimacione zavisnosti frekvencije T/f konvertora od temperature koja se određuje upravo na osnovu rezultata pomenuta 3 merenja.

Merenjem frekvencije svakog T/f konvertora u tri (temperaturne) tačke dolazi se do dovoljno podataka za aproksimaciju zavisnosti frekvencije T/f konvertora od temperature, pojedinačno za svaki senzor. Dakle, svaki senzor bi sadržao look-up tabelu vrednosti frekvencija i temperatura, generisanu prema njemu određenoj aproksimacionoj funkciji. Kalibracija senzora bi, dakle, bila softverska.

Aproksimativan izraz za frekvenciju oscilovanja našeg astabilnog multivibratora je:

$$f = \frac{1}{Ae^{\frac{B(\frac{1}{T} - \frac{1}{T_0})}{C}}} \quad (1)$$

gde je $A = 2C_1R_4(25^{\circ}\text{C})\ln 2$, B je parametar termistora, $C = C_1R_5\ln 2$ [1]

4. APROKSIMACIJA KARAKTERISTIKE NEWTON-KANTOROVIČEVIM METODOM

Da bi se stiglo do valjane aproksimacione funkcije, karakteristike T/F konvertora neophodno je odrediti tri parametra: A, B i C. Izraz (1) možemo napisati i kao

$$g(A, B, C) = \frac{1}{Ae^{\frac{B(\frac{1}{T} - \frac{1}{T_0})}{C}}} - f = 0 \quad (2)$$

Merenjem frekvencije T/f konvertora u tri tačke, T_1 , T_2 i T_3 dobijamo dovoljno podataka da oformimo sistem jednačina (3) koji se može lako numerički rešiti

po A, B i C, primenom Newton-Kantorovičevog metoda [3]. Za rešavanje ovog sistema nelinearnih jednačina dobra su početna rešenja $A=2C_1R_4(25^{\circ}\text{C})\ln 2$, $B=4600$ (parametar termistora) i $C=C_1R_5\ln 2$.

$$\begin{aligned} g_1(A, B, C) &= \frac{1}{Ae^{\frac{B}{T_1} - \frac{1}{T_0}} + C} - f_1 = 0 \\ g_2(A, B, C) &= \frac{1}{Ae^{\frac{B}{T_2} - \frac{1}{T_0}} + C} - f_2 = 0 \\ g_3(A, B, C) &= \frac{1}{Ae^{\frac{B}{T_3} - \frac{1}{T_0}} + C} - f_3 = 0 \end{aligned} \quad (3)$$

Na ovaj način određena je aproksimaciona kriva za T/f konvertor u radnom opsegu 0°C - 50°C sa tačkama aproksimacije 0°C , 25°C i 50°C . Tom prilikom napravljena je prosečna greška aproksimacije od $14,3 \text{ Hz}/^{\circ}\text{C}$ i maksimalna greška od 69 Hz na 44°C , na kojoj je osetljivost konverzije $2001 \text{ Hz}/^{\circ}\text{C}$, što zapravo predstavlja maksimalnu grešku od 0.03°C [1].

Pošto se dobije tačna aproksimacija zavisnosti frekvencije T/f konvertora od temperature, dobijeni rezultati se pretaču u look-up tabelu, koja se postupkom softverske kalibracije senzora upisuje u programsku memoriju PIC mikrokontrolera [4].

5. PRINCIP RADA ADRESIBILNOG SENZORA TEMPERATURE

Od strane nadređenog mikroračunarskog sistema predviđen je samo jedan zahtev a to je: "informaciju o prethodno izmerenoj vrednosti temperature poslati nadređenom računaru". Adresibilni senzor se odaziva na primljeni zahtev slanjem tražene vrednosti koja je rezultat zadnjeg obavljenog merenja. Oдавде vidimo da nadređeni sistem ne čeka dugo na odziv, već adresibilni senzor odmah odgovara slanjem poruke. Po obavljenom slanju poruke senzor počinje nov merni proces kojim se priprema informacija za sledeći odziv. U toku procesa merenja, senzor nema mogućnost komunikacije, tako da se na mestu nadređenog mikroračunara vodi računa da se jednom adresibilnom senzoru ne šalju zahtevi u intervalima kraćim od 0.5 s [1] ili pak dužim od nekog unapred definisanog vremena, kako informacija o merenoj temperaturi ne bi bila suviše "stara".

6. SOFTVERSKA KALIBRACIJA

Da bi senzor uopšte mogao da radi korektno, neophodno je najpre izvršiti njegovu kalibraciju. U većini slučajeva, postupak kalibracije se izvodi tako što se meri etalon fizičke veličine, a podešavanjem parametara mernog kola utiče da njegov odziv bude odgovarajući.

Najpre merenjem frekvencije, a zatim pretraživanjem look-up tabele, adresibilni senzor temperature formira odziv. Kako tačnost senzora isključivo zavisi od tačnosti merenja frekvencije i

tačnosti sadržaja look-up tabele, to postupak generisanja programa i look-up tabele kao i samog programiranja mikrokontrolera predstavlja softversku kalibraciju.

Za postupak softverske kalibracije, pored samog senzora, neophodni su

- PC računar sa softverom za kalibraciju
- PIC programator
- komora za kalibraciju
- digitalni frekvencmetar
- precizni termometar

Komora za kalibraciju je temperaturna komora za održavanje što konstantnije neke vrednosti temperature. Grejanje komore se reguliše PID regulatorom. Minimalne ali ipak prisutne varijacije temperature se mogu značajno usporiti upotrebom prirodnog integratora temperature kakvo je recimo transformatorsko ulje. Sama kalibracija se izvodi tako što se u komoru za kalibraciju postavi adresibilni senzor tako da se termistor nađe u posudi sa transformatorskim uljem. Temperatura u komori se podesi na vrednost prve merne tačke, zatim se sačeka izvesno vreme (i do 2 sata) i potom meri frekvencija T/f konvertora digitalnim frekvencmetrom, a temperatura ulja preciznim termometrom. Identičan postupak se izvede i za ostale dve merne tačke. Rezultati dobijeni merenjem u tri tačke (t_1, f_1) , (t_2, f_2) , (t_3, f_3) se potom ubacuju u računar kako bi on na osnovu opisanog metoda za aproksimaciju zavisnosti frekvencije T/f konvertora od temperature, generisao look-up tabelu senzora. Postupkom programiranja mikrokontrolera PIC12C509 okončana je softverska kalibracija adresibilnog senzora temperature. Senzor je sada spreman za upotrebu.

Postupak softverske kalibracije adresibilnog senzora temperature se može automatizovati. Primenom već realizovanog senzora ne izbegava se samo upotreba termometra već se i omogućava da PC računar automatski bude obavešten o temperaturi u komori za kalibraciju. Ako se sa druge strane omogućí da PC kontroliše temperaturu u komori, onda se postupak kalibracije može izvesti i u više temperaturnih tačaka. Nekalibrisani senzori se mogu najpre isprogramirati bez look-up tabele tako da umesto informacije o temperaturi šalju informaciju o frekvenciji, čime se izbegava upotreba digitalnog frekvencmetra, a zatim ih po obavljenom merenju PC može preko programatora doprogramirati.

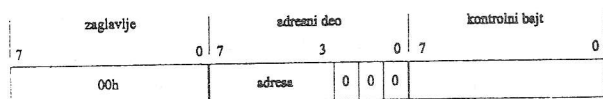
Na kraju, ako se umesto PIC12C509, koji se može programirati samo jednom (One-Time-Programmable), izabere neki mikrokontroler koji ima mogućnost reprogramiranja, onda se periodično može izvoditi i postupak rekalkibracije. Rekalkibracija adresibilnog senzora temperature može biti vrlo bitna za tačnost obzirom da se posle izvesnog vremena, usled starenja, menjaju parametri u kolu T/f konvertora. Usled

promene parametara, rezultati merenja frekvencije više ne odgovaraju vrednostima iz look-up tabele pa je primereno novonastalim uslovima potrebno generisati novu look-up tabelu.

7. PROTOKOL ZA KOMUNIKACIJU

Postoji veći broj standardizovanih protokola za komunikaciju sa adresibilnim senzorima. Radi jednostavnosti ovde je predložen standard koji podrazumeva da postoji posebna parica za napajanje senzora a posebna za komunikaciju. Konkretno komunikacija između realizovanog adresibilnog senzora i nadređenog mikroračunarskog sistema je asinhrona serijska i na fizičkom nivou je definisana standardom RS-485.

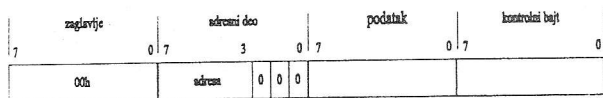
Format poruke kojom se nadređeni mikroračunarski sistem obraća adresibilnom senzoru dat je na slici 5.



Slika 5. Format poruke ka senzoru

U zaglavlju se najavljuje dolazak poruke bajtom 00H. Zatim sledi bajt adrese. Prvih 5 bitova služi za kodiranje adrese adresibilnog senzora što znači da je moguće postaviti ukupno 32 senzora. Ovo se uklapa u standard RS-485 koji predviđa maksimalno 32 prijemne jedinice. Preostalih 3 bita u bajtu adrese su "000". Iza adresnog dela nalazi se kontrolni bajt za proveru ispravnosti prenosa. Sadržaj kontrolnog bajta može biti komplementirani sadržaj adresnog bajta.

Ovom porukom je prozvan jedan od adresibilnih senzora. Od njega se očekuje odziv. Format poruke kojom se adresibilni senzor odaziva nadređenom mikroračunarskom sistemu dat je na slici 6.



Slika 6. Format poruke koju šalje senzor

Format ove poruke takođe ima zaglavlje koga čini bajt 00H. Zatim sledi bajt adrese, gde je opet prvih 5 bitova iskorišćeno za kodiranje adrese senzora koji se odaziva. Preostalih 3 bita su "000". Iza adresnog dela sledi deo za podatke, za koji je rezervisan jedan bajt, ili opciono dva bajta u zavisnosti od rezolucije i opsega merenja. Senzor ne šalje vrednost temperature, već samo indeks odabrane vrednosti (normalizovana vrednost temperature) iz look-up tabele koja najviše odgovara merenoj frekvenciji. Na pr. u opsegu merenja od 34°C do 44°C postoji ukupno 201 diskretna vrednost temperature koje se razlikuju za po 0.05°C. Vrednost koju indeks može da uzme tada nalazi se u opsegu 32 do 232, što čini ukupno 201 vrednost. Nadređeni mikroračunar na osnovu normalizovane vrednosti

temperature iz prispele poruke lako izračunava temperaturu.

Često se, međutim, može desiti da je temperatura ambijenta van opsega merenja. U tom slučaju trebamo kodirati sledeće poruke: "temperatura ambijenta je ispod opsega merenja", "temperatura ambijenta je iznad opsega merenja", "T/f konvertor ne radi".

Na kraju, sledi kontrolni bajt za proveru ispravnosti poruke na mestu prijema. Sadržaj ovog bajta može biti komplementirani zbir sadržaja adresnog i dela podataka.

8. ZAKLJUČAK

Razmatranja u ovom radu pokazala su da se može proizvesti adresibilni senzor temperature proizvoljne širine mernog opsega (ali ne manje od 10°C) za temperaturni opseg od 0°C do 100°C. Na bazi simulacija procenjuje se da senzor mernog opsega od 0-50°C ima maksimalnu grešku manju od 0.1°C. Senzor može da radi sa napanjem od 2,5 do 6V pri čemu je potrošnja senzora u aktivnom stanju pri 2,5V manja od 2mW, dok u "idle" stanju ima potrošnju za dva reda veličine manju.

Ako se umesto iskorišćenog mikrokontrolera PIC 12C509 iskoristi PIC iste familije 16C54 lako se adresibilni senzor temperature može realizovati i sa lokalnim pokazivanjem.

Korak dalje, za serijsku proizvodnju senzora, predstavlja sistem za automatizovanu softversku kalibraciju adresibilnih senzora odnosno izračunavanje i upisivanje look-up tabele.

LITERATURA

- [1] Leković A. Bojan, "Adresibilni senzor temperature sa NTC termistorom", Diplomski rad, Elektronski fakultet Univerziteta u Nišu, 1997.
- [2] Žorić Aleksandar, "Konverzija temperature u vremenski domen" Magistarski rad, Elektronski fakultet Univerziteta u Nišu, 1995.
- [3] Milovanović Gradimir, *Numerička matematika* Elektronski fakultet Univerziteta u Nišu, 1986.
- [4] *Microchip data sheet*, Microchip Tehnology, Inc. 1995.

Abstract - In this paper a realization of a low power consumption addressable temperature sensor is presented. After brief principal concept of the sensor, which by the frequency measuring and providing addressability, utilizes sensor characteristics linearization, it was introduced, firstly sensor structure, based on temperature to frequency converter and RISC microcontroller, and then a new methodology for sensor software calibration.

ADDRESSABLE TEMPERATURE SENSOR

Merno-informacioni sistemi sa distribuiranom i nedistribuiranom inteligencijom

Saša Ristić, Mile Stojčev

Elektronski fakultet u Nišu

Sadržaj: U radu je opisana koncepcija merno-informacionog sistema sa aspekta distribucije inteligencije. Ukazano je na opštu strukturu mernog informacionog sistema, sa posebnim osvrtom na dva pristupa u distribuciji inteligencije. Navedene su prednosti distribuirane u odnosu na nedistribuiranu inteligenciju. Takođe, prikazani su načini implementacije inteligencije u mernom informacionom sistemu.

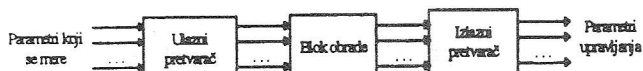
1. Uvod

Merno-informacioni sistemi se danas široko primenjuju u industrijske i naučne svrhe. Prvenstveno su ovi sistemi namenjeni za prihvatanje većeg broja podataka od procesa i njihovo kontinualno praćenje sa jednog mesta [1]. Primena mikroprocesora, mikroracunara i pametnih senzora je dovela do značajnih promena u koncepciji rada mernih informacionih sistema. Ugradnjom mikroracunara i pametnog senzora u merni sistem, uz pomoć hardverskih i softverskih sredstava, moguće je ostvariti znatno tačnije i preciznije merenje ulazne veličine. Sistemi kod kojih je procesor sastavni deo merno-upravljačkog bloka su poznati kao *Embedded*- sistemi [2]. Uloga procesora je višestruka: bira optimalni merni opseg, eliminiše uticaj smetnji, određuje pojačanje sistema, vrši obradu i prikaz rezultata merenja i dr. Sa metrološke tačke gledišta, primarna uloga procesora koji je ugrađen, kako u pametni senzor, tako i u jedinici za obradu rezultata, jeste da smanji grešku i poveća preciznost pri merenju [3].

U radu će biti razmatrana koncepcija razvoja mernog informacionog sistema sa aspekta distribucije inteligencije. Cilj rada ogleda se u identifikaciji prednosti implementacije distribuirane nad nedistribuiranom inteligencijom u sistemima kakvi su merni informacioni sistemi. U radu je, u sekciji 2, definisana struktura mernog informacionog sistema i identifikovani njegovi osnovni gradivni blokovi. Sekcija 3 odnosi se na distribuciju inteligencije, na prednosti koje nudi i načine njene implementacije. Sekcija 4 predstavlja zaključak.

2. Struktura merno-informacionog sistema

U sisteme za obradu informacija svrstavaju se danas računari, merni sistemi, sateliti, *word*-procesori, automati za prodaju, slajd projektori i dr. Svi oni na specifičan način vrše obradu informacija o nekom procesu. Za nas od interesa je izučavanje arhitektura, procesnih mogućnosti i performansi merno-informacionih sistema. Globalna blok šema ovakvog sistema prikazana je na Slici 1.



Slika 1. Blok šema merno-informacionog sistema

Kao što se vidi sa Slike 1, sistem čine tri kaskadno povezana gradivna bloka: ulazni pretvarač (senzor), blok obrade (procesor), i izlazni pretvarač (aktuator). U najvećem broju slučajeva, senzor vrši konverziju neke neelektrične u električnu veličinu. Blok obrade prihvata veći broj ulaznih signala, vrši obradu nad njima i pobuđuje

blok izlaznog pretvarača. Obično je struktura bloka obrade zasnovana na nekom procesoru ili većem broju njih. Izlazni pretvarač vrši konverziju podataka u oblik pogodan za povratno dejstvo na proces, analizu, prikaz, predaju rezultata nadređenom sistemu i dr.

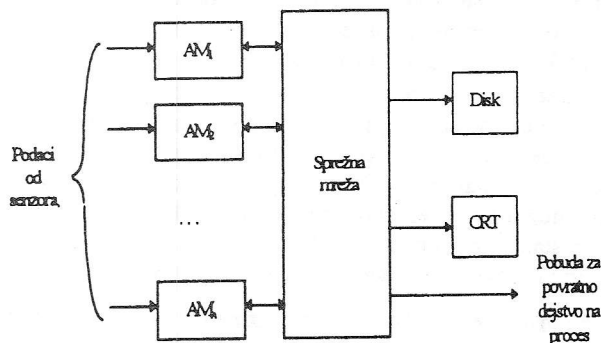
A. Ulazni pretvarač - senzor

Ulazni pretvarač, ili alternativno nazvan senzor, je sklop koji može detektovati ulazni signal (ili energiju) i konvertovati ga u odgovarajući izlazni signal (ili energiju). Ključna karakteristika senzora je, dakle, konverzija energije iz jednog oblika u drugi.

Senzor čine tri celine: senzorski element (ulazni element za modifikaciju), pretvarački element i element za kondicioniranje signala. Tipične veličine fizičkog domena koje se dovode na ulaz senzorskog elementa su: temperatura, protok, vlažnost, pritisak i td.

B. Blok obrade

Blok obrade (Slika 2.) sastoji se od: a) većeg broja akvizicionih modula AM_i , $i=1, \dots, n$; b) sprežne mreže; i c) ulazno-izlaznih jedinica, kao što su diskovi, displeji i dr. Ulazi bloka obrade predstavljaju izlaze senzora, a mogu biti analogni i digitalni. Izlazi bloka obrade se vode prema izlaznim pretvaračima. Preko sprežne mreže, akvizicioni moduli mogu međusobno razmenjivati podatke i pristupati deljivim resursima (diskovi, displeji i dr.).



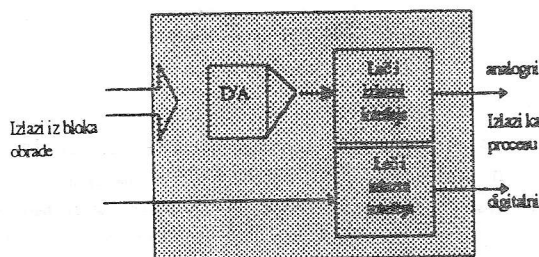
Slika 2. Opšta blok šema bloka obrade

C. Izlazni pretvarač

Izlazni pretvarač (Slika 3) predstavlja blok koji se koristi za generisanje signala pomoću kojih se vrši upravljanje procesom.

Na izlazu generišu se dva tipa signala: analogni i digitalni (*on/off*). Analogni signal se generiše pomoću D/A konvertora. U cilju prilagođavanja električnog interfejsa

merno-informacionog sistema i procesa, na oba izlaza - analognom i digitalnom, ugrađuje se leč i odgovarajući interfejs. Uloga interfejsa je da izvrši električno prilagođenje naponskih i strujnih pobudnih signala koji se povratno vode prema procesu, a leča - da pamti informaciju.



Slika 3. Izlazni pretvarač

3. Distribuirana i nedistribuirana inteligencija

Na Slici 4. a) i 4. b) prikazan je koncept realizacije merno-informacionog sistema sa aspekta distribucije inteligencije. Kod klasičnog pristupa (Slika 4 a)) senzor prihvata veličinu koju treba da proceni, i nakon odgovarajuće konverzije, predaje je u digitalnom ili analognom obliku AM-u. AM vrši obradu i, ako je to potrebno, generiše izlazne signale kojima se vrši povratno dejstvo na proces. Naime, procesor u sastavu AM-a se koristi za generisanje jedne ili više pobuda koje treba da definišu stanje procesa (vrednost napona u određenoj tački, vrednost struje u određenoj grani, pomeraj, temperaturu i dr.). Da bi se ocenio efekat povratnog dejstva, osim podataka o procenjenoj veličini, procesor AM-a mora da prihvata i statusnu informaciju sa ulaznih i izlaznih pretvarača. Statusna informacija ukazuje na: 1) greške u radu (pretvarač jeste/nije logički/fizički prisutan), 2) greške u dovodu napajanja (defekt izvora za napajanje, kratak spoj ili prekid u kablovima za dovod napajanja), 3) greške/prekid u prenosu informacije (prekid u kablovima za prenos informacija ili veliki uticaj indukovanih smetnji), 4) ambijentalne uslove rada (dan, noć, povećanje temperature, pritiska itd.). Nakon prihvata podataka i statusa, procesor u AM-u vrši obradu, arhiviranje, prikaz rezultata, a potom, ako je to potrebno, generiše upravljačke signale kojima se vrši povratno dejstvo na proces. Kod ovakvog pristupa procesor je uglavnom zauzet obavljanjem velikog broja U/I aktivnosti na nivou direktnog a ne sistemskog upravljanja, tako da odziv može da postane kritičan sa aspekta vremena izvršenja, što je posebno važno kad sistem radi u realnom vremenu.

Kod strukture sa Slike 4 b), između procesa i AM-a ugrađuje se senzor sa ugrađenom inteligencijom. Ovakvom koncepcijom moguće je ostvariti autonornost u upravljanju i distribuiranu obradu. Na ovaj način procesor AM-a se oslobađa sledećih aktivnosti:

- a) direktnog upravljanja radom senzora,
- b) direktnog generisanja i potpune ili delimične kontrole povratnog dejstva.

S obzirom da pametni senzor u većem broju slučajeva generiše digitalni a ne analogni izlaz, to je i odnos

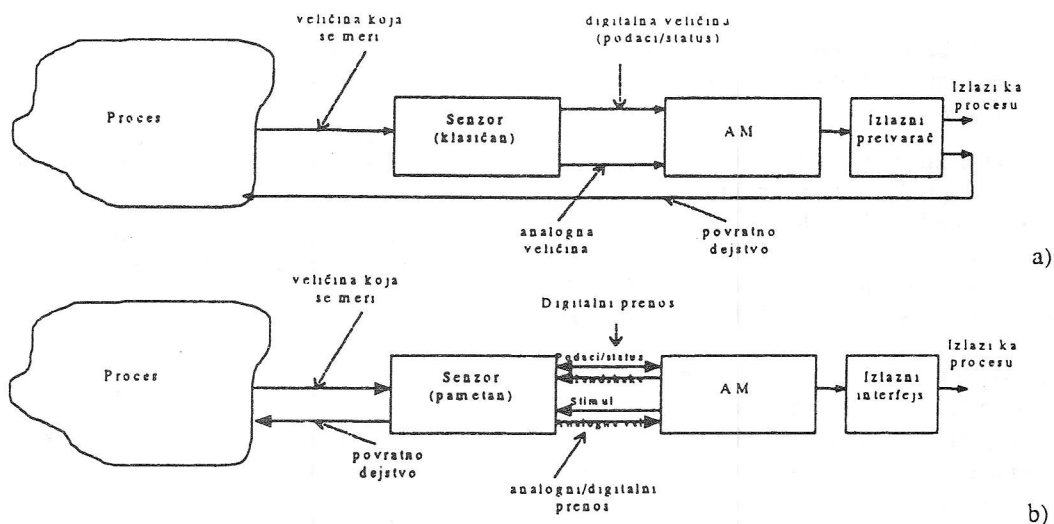
ugrađenog hardvera za analogno i digitalno procesiranje u AM-u promenjen. Naime, broj analognih ulaza je smanjen, a to znači da je i broj upravljačkih signala redukovan. Kod ovakve koncepcije postoji mogućnost da procesor AM-a izda komandu senzoru za obavljanje specifičnog zadatka, recimo statističke obrade 1000 prihvaćenih vrednosti, automatskog podešavanja mernog opsega, anuliranje ofseta, podešavanje nule, linearizacije i dr. Nakon prihvaćene komande i obavljene akcije, senzor predaje podatke AM-u u analognom ili digitalnom obliku. Digitalni prenos se obično ostvaruje ugradnjom odgovarajućeg električnog interfejsa (RS232, RS485 i dr.) i korišćenjem neke od standardnih Handshake procedura.

U fazi projektovanja strukture sistema sa distribuiranom inteligencijom, sa Slike 4 b), projektant mora da donese sledeće odluke:

- a) koje funkcije i zadatke treba da obavi procesor u AM-u, a koje senzor;

- b) na koji način i koje funkcije i zadatke procesora AM-a i senzora treba implementirati hardverski, a koje softverski.

Obično, u pametnom senzoru koji ima digitalni izlaz, hardverski se implementira upravljačka jedinica (Control Unit), staza podataka (Data Path) sa relativno malim brojem internih registara za privremeno čuvanje podataka u toku obrade, i resursi specifične namene, kao što su: pojačavači sa fiksnim pojačanjem, A/D konvertor (obično sa prekomernim uzorkovanjem), izvor referentnog napona i struje, logika za podešavanje ofseta napona i struje, logika za linearizaciju, logika za digitalni prenos podataka i izlazni pojačavač [4, 5, 6]. Pametni senzori se realizuju sa analognim, digitalnim, ili analognim plus digitalnim izlazima. Kod pametnih senzora sa analognim izlazima kondicioner čine operacioni pojačavači sa fiksnim i programabilnim pojačanjem, izvori referentnog napona, multiplekseri za izbor ulaznog signala i izlazni naponski ili strujni stepeni. Upravljačka logika, koja je sastavni deo kondicionera, obično se realizuje kao konačni automat. Funkcije koje se obavljaju mogu biti: merenje ulazne veličine, automatsko biranje mernog opsega, podešavanje nule i linearizacija karakteristika senzora. Kod pametnih senzora sa digitalnim izlazima stazu podataka čine: analogni ulazni pojačavač i filter, kolo za uzorkovanje i držanje, A/D konvertor, veći broj internih registara za privremeno pamćenje podataka, ALU i interfejs logika za spregu sa AM-om. Upravljačka jedinica se obično realizuje kao konačni automat, mikrokontroler ili procesor RISC tipa. Funkcije koje obavlja senzor sa digitalnim izlazom su: procena merene veličine, automatsko biranje mernog opsega i pojačanja, podešavanje nule, statistička obrada, pamćenje podataka, predaja podataka AM-u i prijem podataka i komandi od AM-a po unapred definisanoj handshake proceduri. Deo strukture senzora je i elektronika za generisanje povratnog dejstva na proces. Obično, ovu elektroniku čini veći broj lečeva, D/A konvertori, razna interfejs kola, pretpojačavači i izlazni naponski ili strujni pojačavači.



Slika 4. Merno-informacioni sistem sa aspekta distribucije inteligencije; a) klasičan sistem - sa nedistribuiranom obradom; b) sistem sa distribuiranom obradom i pametnim senzorom

3.1 Prednosti distribuirane inteligencije

Iz prethodnog izlaganja evidentne su značajne prednosti uvođenja lokalne pameti. One se mogu izložiti kroz nekoliko tačaka.

1) Upravljačka jedinica senzora preuzima veći broj funkcija koje je, kod klasičnih sistema, obavljao procesor AM-a. Na ovaj način procesoru AM-a prepušteno je da obavlja kompleksnije funkcije koje se odnose na rad sistema, posebno sa aspekta integralne pouzdanosti u radu i sposobnosti za upravljanje radom u realnom vremenu.

2) Procesor senzora je sada bliži procesu i ima izvedenu mogućnost direktnog upravljanja hardverom koji je u sprezi sa procesom. Na ovaj način moguće je prikupiti veći broj dijagnostičkih podataka o stanju/statusu procesa i, u kodiranoj formi, predati ih procesoru AM-a. Procesor AM-a, na osnovu primljenih dijagnostičkih podataka, vodi evidenciju o stanju svakog senzora i blagovremeno preduzima akcije kada ustanovi da može doći do kvara u sistemu.

3) Senzor obavlja automatsko merenje i korekciju grešaka koje proističu usled promena karakteristika senzorskog elementa. Greške se mogu javiti usled strujnog ili naponskog ofseta, vremenskog ili temperaturnog drifta, nelinearnosti prenosnih karakteristika, starenja materijala i dr. Ugrađena programska podrška u pametnom senzoru treba da obezbedi periodično testiranje ispravnosti rada, kao i funkciju rekalkibracije. Nove kalibracione konstante se obično određuju tabelarno ili izračunavanjem.

4) Prenos digitalnih podataka između pametnog senzora i AM-a je standardizovan, kako u smislu definicije električnog interfejsa, formata poruka, tako i protokola po kome se vrši razmena poruka. Primeri ovih standarda su VXI, IEEE488, CAMAC, PFOFIBUS i dr [7,8].

5) Činjenica da se razmena podataka između pametnog senzora i AM-a obavlja po nekom od standardizovanih protokola, ukazuje na to da senzor može da preda i primi podatke i komande. Komande koje prima odnose se na samotestiranje, autokalibraciju, eliminaciju određenog senzora u slučaju kvara, izbor diferencijalnog umesto asimetričnog ulaza, izbor koeficijentata filtera, programiranje pojačanja i dr.

6) Svakom pametnom senzoru se može dodeliti grupna ili individualna adresa koja ga na jedinstven način identifikuje. Ovakvim pristupom obezbeđuje se vezivanje pametnih senzora sa procesorom AM-a u različite topologije, koje mogu biti: tačka ka tački, zvezda ili višetačkasta.

3.2 Implementacija inteligencije

Po identifikaciji aplikacija pogodnih za distribuiranje inteligencije, projektant mora odrediti odgovarajući metod implementacije inteligencije. Pri tome se mora dati odgovor na osnovno pitanje: Gde je pogodnije, sa stanovišta inteligencije, implementirati inteligenciju: u pametnom senzoru, procesoru AM-a ili izvršiti balans raspodele inteligencije? Hijerarhijski posmatrano, sve zadatke koji se odnose na merenje ulazne veličine i generisanje povratnog dejstva prema procesu, sa današnjeg aspekta razvoja poluprovodničke tehnologije, pogodnije je implementirati u pametnom senzoru. Sa druge strane, zadatke koji se odnose na funkcionisanje sistema kao celine, njegov integritet, pouzdanost i dr., treba implementirati u AM-u. Sa stanovišta realizacije sistema, mogućnosti su dosta brojne. Upravljačke jedinice pomenutih gradivnih blokova mogu se zasnivati na konačnim automatima realizovanim pomoću SSI, MSI ili VLSI kola, uz pomoć kola po porudžbini (obično ASIC tipa), kao i komercijalno raspoloživim mikroročunarima, mikrokontrolerima i specijalizovanim računarskim sistemima. Svaki pristup ima dobre i loše strane. Naime, često se mora praviti kompromis između cene, gabarita sistema, snage obrade, memorijskog prostora i U/I mogućnosti.

A. Implementacija inteligencije u senzoru

Pametni senzori se danas uglavnom implementiraju kao ASIC kola (aplikaciono specifična integrisana kola), kod kojih se upravljačka jedinica realizuje kao konačni automat, a stazu podataka čine analogna i digitalna interfejs-kola (programabilni pretpojačavači, multiplexer, kolo za uzorkovanje, A/D konvertor, izvori referentnog napona, digitalni filteri, ALU jedinica, D/A konvertori, komunikacioni kontroleri, izlazni stepeni i dr). U najvećem broju slučajeva ovakva rešenja karakterišu se potpunom autonomnošću u radu, mogućnostima za autokalibraciju, samotestiranje i ratiometrijsko određivanje merene veličine. Razvoj pametnih

senzora na bazi ASiC kola je ekonomski isplativ samo kod velikih serija, s obzirom na relativno dug period razvoja i velika ekonomska ulaganja.

Drugo rešenje implementacije inteligencije kod pametnih senzora ogleda se u ugradnji mikrokontrolera. Veliki broj proizvođača mikrokontrolera, kao što su *Texas Instruments* [9], *Hitachi* [10], *NEC* [11], *Microchip* [12] i dr., realizuje danas mikrokontrolere na bazi modularne nadgradnje. Suština ovakvog pristupa sastoji se u sledećem: oko jezgra sistema, koje čini CPU jedinica (4-, 8-, 16- ili 32-bitna), dograđuje se memorijski i U/I podsistem. Memorija može biti PROM, UV EPROM ili EEPROM, kapaciteta od 2 kB do 32 kB, ili RAM, kapaciteta od 128 B do 8 kB. U/I podsistem čini: nekoliko tajmera i brojača, "pas-čuvar" (*watchdog*) tajmer, paralelni i serijski U/I interfejs, *one-slope* višezlazni A/D konvertori, D/A konvertori, LCD drajver, PWM (*Pulse Width Modulation*) stepen i dr. Jedna od ključnih karakteristika ovih mikrokontrolera je izbor načina rada sa smanjenom potrošnjom. Ova osobina je od izuzetne važnosti kada se realizuju udaljeni pametni senzori sa baterijskim napajanjem i mikropotrošnjom (*Micropower Remote Data Acquisition System*). Mikropotrošnja može da se postigne postavljanjem određenih U/I blokova u pasivno (*idle*) stanje, promenom taktne frekvencije u opsegu od f_{max} do f_{min} ($f_{min}=32$ kHz) i operativnošću u opsegu promene napajanja od 2,7 V do 6 V (*Low Power Consumption*).

I pored evidentne prednosti koje se mogu ostvariti ugradnjom odgovarajuće programske podrške, osnovni nedostatak ovakvog pristupa ogleda se u nemogućnosti direktne sprege kontrolera sa poluprovodničkim senzorskim elementom. Naime, potrebno je ugraditi odgovarajući analogni interfejs koji bi obavljao funkcije bloka *Pretvarački element* i, delimično, bloka *Element za kondicioniranje*. Ovakva se koncepcija danas, uglavnom koristi kada se pametni senzor realizuje kao hibridno kolo i kada nije potrebna masovna serijska proizvodnja.

B. Implementacija inteligencije kod AM-a

Da bi detaljnije ukazali na problem implementacije inteligencije u AM, neophodno je sagledati koje sve zadatke treba da obavi AM. Zadaci AM-a su sledeći:

- 1) Prihvatanje analognih ulaznih signala amplitudno-, frekventno- ili fazno modulisanih, koji su strujnog ili naponskog, simetričnog ili asimetričnog oblika.
- 2) Opciono, obezbeđivanje galvanskog razdvajanja ulaza od elektronike AM-a. Ostvaruje se izolacionim pojačavačem na principu opto-, transformatorske- ili kapacitivne sprege.
- 3) Prihvatanje digitalnih signala. U najvećem broju slučajeva, ulazni stepen se realizuje kao opto-sprežni. Izlazi opto-sprežnog pretvarača su električno kompatibilni sa paralelnim i serijskim portovima procesora.
- 4) Eliminacija napona na zajedničkim krajevima (bruma).
- 5) Biranje odgovarajućih analognih ulaza korišćenjem MUX-a "k na 1".
- 6) Pojačanje ulaznog signala. Ostvaruje se programabilnim pojačavačem. Signal na izlazu pojačavača treba da bude prilagođen opsegu pune skale A/D konvertora.

7) Uzorkovanje i držanje. Kod sporo promenljivih amplitudski modulisanih veličina nije potrebno implementirati ovu funkciju.

8) A/D konverzija. Vršiti se konverzija ulazne veličine u broj.

9) Filtriranje. Ugradnjom banke filtara vrši se razdvajanje spektralnih komponenti frekventno modulisanog ulaznog signala.

10) Uobličavanje frekventno modulisanog ulaznog signala.

11) Simultano merenje frekventno modulisanog signala.

12) Konverzija fazno modulisanih signala u amplitudno- ili impulsno širinski modulisane signale.

13) Prihvatanje impulsno širinski modulisanih signala i merenje faktora popune.

14) Prihvatanje izmerenih podataka od strane procesora AM-a, u paralelnom obliku (čita se stanje brojača ili izlaza A/D konvertora).

15) Obrada rezultata u digitalnom obliku (digitalno filtriranje, provera ulazne veličine u odnosu na zadate pragove, statistička obrada, arhiviranje i dr.).

16) Prikaz rezultata. Uključuje vizuelizaciju procesa koji se nadgleda, kao i zvučno i svetlosno upozoravanje.

17) Sprega sa procesorima na nižem i višem nivou hijerarhije.

18) Generisanje izlazne veličine koja predstavlja povratno dejstvo prema procesu.

19) Sofisticiranije funkcije (automatsko biranje mernog opsega, automatsko podešavanje nule, eliminacija naponskog i strujnog ofseta, racimetrijsko merenje, samotestiranje i dr.).

20) Protočna obrada po više kanala istovremeno.

Danas su najbrojniji AM-ovi koji se koriste za prihvatanje analognih, amplitudski modulisanih signala. Obično, kod ovakvih tipova AM-ova broj digitalnih ulaza koji se prihvataju, ograničen je na 2 do 3. Shodno potrebama tržišta, proizvođači integrisanih kola su protekle decenije razvili veći broj monolitnih AM-ova za prihvatanje analognih, amplitudski modulisanih ulaznih signala. Periferijski analogni akvizicioni modul AD7581 / SDM862 proizvod firme Analog Device [13] / Burr Brown [14] Periferijski analogni akvizicioni modul se koristi kao periferija procesora u bloku obrade sa *Sluke 1*, kojom se direktno upravlja od strane procesora.

Programabilni periferijski akvizicioni modul ML2200 firme Micro Linear [15] ima sledeću ključnu karakteristiku: njegovu strukturu čine dve jedinice: staza podataka (MUX, S/H & A/D, RAM za podatke, U/I port) i upravljačka jedinica (sekvencer, instrukcioni RAM), što ga čini programabilnim. Naime, procesor u bloku obrade izdaje komandu koja se implementira od strane upravljačke logike, obavlja odgovarajuće zadatke i predaje rezultat. Komande se odnose na konfigurisanje sistema u smislu selekcije tipa ulaza (simetričan ili asimetričan), broja bitova u konverziji i dr.

Struktura autonomnog akvizicionog modula tipična je za realizaciju u obliku ASIC kola, kakvi su proizvodi firme National Instrumentation [16]. Sistem se koristi za prihvatanje kako analognih, tako i digitalnih veličina. Radom sistema upravlja ugrađeni računar. Ugrađeni računar može biti 8-, 16- ili 32-bitni, tipa mikrokontroler, SBC, DSP, PC ili specijalno projektovano integrisano kolo.

Protočni autonomni akvizicioni modul takođe omogućava implementaciju svih funkcija bloka obrade, sa tom razlikom što je moguće realizovati istovremenu protočnu obradu većeg broja signala sa različitih ulaza, bez opasnosti od pojave hazarda u toku obrade. Hazardi se mogu javiti zbog zavisnosti po podacima, upravljanja i korišćenja resursa. Arhitekture ovakvih akvizicionih modula su tipične za višenitne (multithread) mašine [17].

Zaključak

Kao rezime može se reći sledeće: Distribucijom inteligencije u mernom informacionom sistemu, tj. ugradnjom lokalne pameti u senzor, dobija se samostalna upravljačka jedinica, a blok obrade, tj. procesor AM-a, oslobađa velikog broja relativno primitivnih operacija koje se odnose na proces procene merene veličine. Svakom senzoru se dodeljuje jedinstvena fizička adresa, a to znači da se senzori mogu vezivati na proizvoljan način, a ne grupisati po njihovoj funkcionalnosti. Procesor AM-a može od senzora pribavljati i dijagnostičke a ne samo podatke o merenoj veličini. To omogućuje blagovremeno preduzimanje akcija, tj. predikciju otkaza. U slučaju neke hazardne situacije senzor može da inicira prenos hitne poruke ka procesoru AM-a, i da zahteva brzo opsluživanje, recimo u nekoj alarmnoj situaciji.

Postojeći načini implementacije distribuirane pameti, bilo da se radi o projektovanju kola po narudžbini ili ugradnji komercijalno raspoloživih mikroprocesora ili mikrokontrolera, omogućuju da se sve nabrojane prednosti u smislu funkcija, efikasno implementiraju po isplativoj ceni.

U svetu se danas, takođe, uvode standardi u komunikacijama, odnosno razmeni podataka između jedinica mernih informacionih sistema. Najpoznatiji standardi su VXI, IEEE488, CAMAC, PFOFIBUS i dr.

Literatura

- [1] Nachtigal C.L. "Smart Sensors Intelligent Transducers and Transmitters" pp. 392-400 Ed. By Nachtigal C.L. Instrumentation and Control, Fundamentals and Applications, Wiley-Interscience Pub. New York, 1990
- [2] Borney G.C. *Intelligent instrumentation: Microprocessor Applications in Measurement and Control*, Englewood Cliffs, NJ: Prentice Hall, 1985,
- [3] *Data Acquisition Handbook*, National Semiconductor, Santa Clara, CA, USA, 1977,

- [4] Udrca, J. Gardner, *Design of a Silicon Microsensor Array Device for Gas Analysis*, Microelectronics Journal, No. 27, 1996, pp. 449-457
- [5] P. Brokaw, *A Monolithic Conditioner for Thermocouple Signals*, IEEE Journal of Solid State Circuits, Vol. 18, No. 6, 1983, pp. 707-716
- [6] Malcovati, C. A. Leme, P. O'Leary, F. Maloberti, H. Baltes, *Smart Sensor Interface with A/D Conversion and Programmable Calibration*, IEEE Journal of Solid State Circuits, Vol. 29, No. 8, 1994, pp. 963-966
- [7] Heming, *Bus Systems, Sensors and Actuators A*, No. 25-27, 1991, pp. 109-113
- [8] Schwaier, *Progress in Fieldbus Developments for Measuring and Control Applications*, Sensors and Actuators A, No. 25-27, 1991, pp. 115-119
- [9] Texas Instruments, *MSP430 Family, Architecture User's Guide and Module Library*, Austin, U.S.A., 1995
- [10] Hitachi, *H8/3048 Single Chip Microcomputer - Overview*, Japan, 1994
- [11] NEC, *Single-Chip Solutions with 4/8/16-bit Microcontrollers*, Japan, 1995
- [12] Microchip Technology Inc., *PIC 14000*, Chandler, Arizona, U.S.A., 1996
- [13] Analog Devices, *Application Reference Manual*, Norwood, MA, U.S.A., 1993
- [14] Burr Brown, *Mixed Signal Products*, Tuscon, Arizona, U.S.A., 1996/97.
- [15] Micro Linear, *Semi-Standard Analog*, San Jose, CA, U.S.A., 1990
- [16] National Instrumentation, *Instrumentation Reference and Catalogue*, Austin, Texas, U.S.A. 1996
- [17] Moore, S. W., *Multithread Processor Design*, Kluwer Academic Pub., Dordrecht, Netherlands, 1996

Abstract -: The concept of measuring-information system from aspect of distributed intelligence is described in this paper. The global structure of the measuring-information system is considered. Special attention is paid to intelligence distribution. Benefits of distributed in respect to non-distributed intelligence are enumerated. Some methods for implementation of intelligence into measuring-information system are considered, too.

Measuring-information system with distributed and non-distributed intelligence

Saša Ristić, Mile Stojčev

OPTIMALNI PRIJEMNIK SIGNALA KOJI SE PRENOSE ENERGETSKIM VODOVIMA

Vidosav Stojanović i Srđan Đorđević
Elektronski fakultet u Nišu, Beogradska 14, 18000 Niš

Sadržaj – U radu je opisan optimalni prijemnik signala koji se prenose energetskim vodovima. Osnovne prednosti optimalnog prijemnika, u odnosu na standardna rešenja, su povećana osetljivost i mogućnost daljinskog programiranja. Povećana osetljivost je ostvarena primenom adaptivnog aktivnog RC filtra koji potiskuje mrežni napon bez predhodnog slabljenja. Jednovremeni prijem svih tonfrekventnih signala omogućuje da se prijemnik daljinski programira za prijem bilo kog tonfrekventnog signala.

I. UVOD

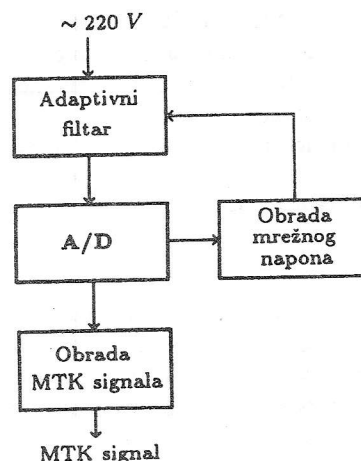
Uobičajeno rešenje je da prijemnik MTK signala sadrži na ulazu attenuator i filter propusnik opsega frekvencija. Attenuator na ulazu smanjuje mrežni napon radi zaštite integrisanih kola prijemnika, dok je filter, propusnik opsega, podešen na frekvenciju primanog MTK signala. Ovo rešenje ima dva nedostataka. Prvi nedostatak je da attenuator, pored mrežnog napona, istovremeno slabi i napon korisnog signala, odnosno smanjuje osetljivost prijemnika. Drugi nedostatak je da prijemnik nije u stanju da prima drugi MTK signal, osim onaj na koji je u toku proizvodnje podešen filter propusnik opsega frekvencija.

U radovima [1] i [2] opsana je sinteza polinomskog filtra za potiskivanje mrežnog napona, koji slabi mrežni napon više od 70 dB samo u slučaju kada je filter idealno podešen. Adaptivni filter, primenjen za realizaciju optimalnog prijemnika, delimično je opisan u radu [3]. Ovim filtrom se, teorijski, može ostvariti beskonačno slabljenje mrežnog napona.

Na Slici 1 prikazana je blok šema optimalnog prijemnika.

Kolo za obradu mrežnog napona radi samo kada vrednost mrežnog napona, preostala nakon filtriranja adaptivnim analognim filtrom, na ulazu u A/D konvertor prekorači propisanu vrednost. Ovo se događa ili kada se frekvencija mrežnog napona promeni ili kada komponente tokom vremena promene vrednost. U tom slučaju, kolo za obradu mrežnog napona podešava koeficijente adaptivnog filtra tako da se pol slabljenja filtra izjednači sa frekvencijom mreže.

Obrada tonfrekventnih signala, koja je detaljno opisana u radu [4], sastoji se od dva kaskadno spregnuta digitalna filtra propusnika opsega frekvencija.



Slika 1. Blok šema optimalnog prijemnika

U radu je opisan softver za podešavanje adaptivnog analognog filtra propusnika visokih frekvencija koji je realizovan tako da nula prenosa prati promene frekvencije mreže. Podešavanje nule prenosa realizovano je potenciometrima sa digitalnim upravljanjem, čija se vrednost određuje mikroracunom prijemnika. Na ovaj način je postignuto da vrednost mrežnog napona na izlazu adaptivnog filtra bude uvek manja od unapred zadate vrednosti, što omogućava direktno priključenje filtra na mrežu bez dodatnog slabljenja. Pošto ulazni filter prima sve MTK signale to se prijemnik može softverski podesiti za prijem bilo kog MTK signala.

II. ADAPTIVNI FILTER

A. Aproksimacija

Analogni filter je propusnik visokih frekvencija. Kvadrat modula amplitudske karakteristike filtra dat je izrazom:

$$|H_3(\omega^2)|^2 = \frac{1}{1 + (\epsilon \frac{\omega}{\omega_g})^2 C_3^2(\frac{\omega_g}{\omega}) (\frac{\omega_g^2 - \omega_m^2}{\omega^2 - \omega_m^2})^2} \quad (1)$$

gde je ϵ usvojeno tako da maksimalno slabljenje u propusnom opsegu iznosi 1 dB, $C_3(x)$ je Chebyshevjev polinom trećeg reda prve vrste, ω_g je granična frekvencija, a ω_m frekvencija nule prenosa, koja je jednaka sa frekvencijom mreže.

Prenosna funkcija $H(s)$ se određuje uobičajenim postupkom. Najpre se izvrši smena $\omega^2 = -s^2$ u

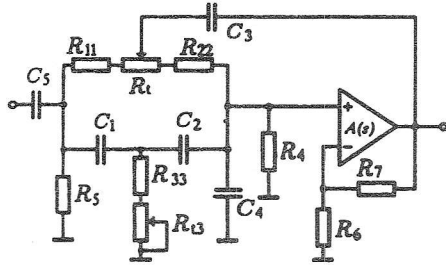
izraz (1), a zatim usvoje polovi koji se nalaze u levoj poluravni kompleksne promenljive,

$$H(s) = s \frac{s^2 + \omega_m^2}{s^3 + a_2 s^2 + a_1 s + a_0}, \quad (2)$$

gde su: $a_0 = 2.484949 \cdot 10^9$, $a_1 = 2.299393 \cdot 10^6$ i $a_2 = 2.603384 \cdot 10^3$.

B. Realizacija

Visokopropusni filter trećeg reda sa konačnom nulom prenosa može se realizovati kolom koje je prikazano na Slici 2 [5].



Slika 2. Topologija adaptivnog filtra

U opštem slučaju, kada dvostruki T -most nije u ravnoteži, prenosna funkcija ovog kola je data izrazom

$$H(s) = K s \frac{\hat{b}_3 s^3 + \hat{b}_2 s^2 + \hat{b}_1 s + 1}{\hat{a}_4 s^4 + \hat{a}_3 s^3 + \hat{a}_2 s^2 + \hat{a}_1 s + 1} \quad (3)$$

Koeficijenti funkcije prenosa ovog filtra u funkciji od elemenata kola iznose

$$K = \frac{\beta R_5 C_5}{(1 + r_1 + r_2)}$$

$$\hat{b}_3 = \tau_1 \tau_m^2$$

$$\hat{b}_2 = \tau_m^2$$

$$\hat{b}_1 = \tau_2$$

$$\hat{a}_4 = k_n (1 + c_1 + c_2) \tau_m^2 \tau_0 \tau_1$$

$$\hat{a}_3 = k_n \left\{ \tau_m^2 \tau_1 \left[1 + c_1 + (1 - \beta + c_1) \frac{R_5}{R_1} \right] \right.$$

$$+ \tau_1 (C_2 R_s + c_1 R_s C_s) (\tau_0 + R_5 C_1)$$

$$+ \tau_2 ((1 - \beta) R_1 C_3 + r_1 \tau_1) (\tau_0 + R_5 C_s)$$

$$\left. + \tau_2 C_s R_s \left[(1 + c_1) \tau_0 + c_1 R_5 C_s \right] \right\}$$

$$\hat{a}_2 = k_n \left\{ (C_2 R_s + c_1 R_s C_s) (\tau_0 + \tau_1 + \tau_1 \frac{R_5}{R_1} + R_5 C_1) \right.$$

$$+ ((1 - \beta) C_3 R_1 + r_1 \tau_1) (\tau_0 + \tau_2 + \tau_2 \frac{R_5}{R_1} + C_1 R_5)$$

$$+ \tau_2 \left[(1 + \tau_1) \tau_0 + (1 + c_1) C_s R_s + (c_1 + \tau_1) R_5 C_s \right] \left. \right\}$$

$$\hat{a}_1 = k_n \left[(1 + \tau_1) (\tau_0 + C_1 R_5) + (C_2 + c_1 C_s) (R_s + R_5) \right.$$

$$\left. + (1 - \beta) C_3 (R_1 + R_5) + r_1 \tau_1 \left(1 + \frac{R_5}{R_1} \right) \right] + \tau_2$$

Pri čemu su

$$C_s = \frac{C_1 C_2}{(C_1 + C_2)}$$

$$R_p = \frac{R_1 R_2}{(R_1 + R_2)}$$

$$C_p = C_1 + C_2$$

$$R_s = R_1 + R_2$$

$$r_1 = \frac{R_s}{R_4}$$

$$r_2 = \frac{R_5}{R_4}$$

$$\tau_m^2 = C_1 C_2 R_3 R_s$$

$$\tau_0 = R_5 C_5$$

$$c_1 = \frac{C_4}{C_s}$$

$$c_2 = \frac{C_4}{C_5}$$

$$\tau_1 = C_3 R_p$$

$$\tau_2 = C_p R_3$$

$$k_n = \frac{1}{1 + r_1 + r_2}$$

$$\beta = 1 + \frac{R_7}{R_6}$$

Klizač deli potenciometar R_t na dva dela R_{t1} i R_{t2} pa je uvedeno sledeće skraćeno obeležavanje: $R_1 = R_{11} + R_{t1}$ i $R_2 = R_{22} + R_{t2}$. Isto tako je $R_3 = R_{33} + R_{t3}$.

Kada je dvostruki T -most u ravnoteži pol i nula na realnoj osi u ravni kompleksne promenljive se potiru i kolo sa Slike 2 postaje filter trećeg reda sa konačnom nulom prenosa.

Uslovi da dođe do ravnoteže dvostrukog T -mosta na frekvenciji mreže ω_m su [6]:

$$R_1 R_2 C_3 = R_3 (C_1 + C_2) (R_1 + R_2) \quad (4)$$

$$\omega_m^2 = \frac{1}{(R_1 + R_2) R_3 C_1 C_2} \quad (5)$$

Uslovi (4) i (5) su ispunjeni za potencijalno simetričan dvostruki T -most: $R_1 = R$, $R_2 = \rho R$, $R_3 = \rho R / (\rho + 1)$, $C_1 = C$, $C_2 = C / \rho$ i $C_3 = C(\rho + 1) / \rho$. Prenosna funkcija filtra (3), kada je dvostruki T -most podešen, dobija oblik dat izrazom (2). Koeficijenti prenosne funkcije filtra u tom slučaju iznose:

$$a_0 = \frac{\omega_m^2}{\tau_0} \frac{1 + c_1 + c_2}{1 + r_1 + r_2}$$

$$a_1 = k_n \left[\frac{(\rho + 1)(2 - \beta) + \rho(c_1 + r_1)}{\rho \tau_0 \tau} + \frac{1 + c_1 + r_2}{\tau^2} + \frac{\rho + 1}{\rho C R_5 \tau} (2 - \beta + \frac{2c_1}{\rho + 1}) \right]$$

$$a_2 = k_n \left\{ \frac{1 + r_1}{\tau_0} + \frac{1}{C R_5} \left[\frac{\rho + 1}{\rho} (2 - \beta) + 2r_1 + \frac{c_1}{\rho + 1} \right] + \frac{1}{\tau} \left[\frac{\rho + 1}{\rho} (2 - \beta) + r_1 + c_1 \right] \right\}$$

gde je $\tau = RC$, odnosno, $\omega_m = 1/(RC)$. Ostali parametri imaju iste oznake kao u jednačini (3). Nepoznati elementi filtra određuju se rešavanjem sistema od četiri nelinearne jednačine sa četiri nepoznate.

Da bi zadovoljili relacije (1) i (2) potrebno je istovremeno menjati vrednosti dve komponente mosta. Usvojeno je da se jednim potenciometrom, R_t , menjaju otpornosti R_1 i R_2 pri čemu njihov zbir ostaje konstantan, a da se drugim potenciometrom, R_{t3} , menja otpornost R_3 . Na ovaj način je ostvareno podešavanje frekvencije nule prenosa, potenciometrom R_{t3} , a slabljenje istovremenom promenom R_1 i R_2 , odnosno potenciometrom R_t .

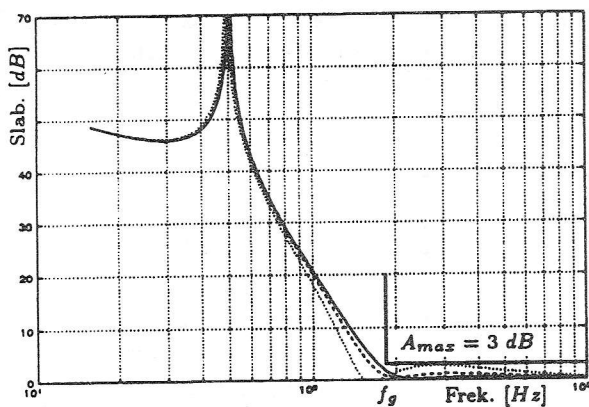
Promenljiva otpornost R_{t3} određuje se nezavisno od položaja klizača potenciometra R_t , a može se izračunati iz uslova (5)

$$R_{t3} = \frac{1}{C_1 C_2 (R_{11} + R_{22} + R_t) \omega_m^2} - R_{33}. \quad (6)$$

Pod pretpostavkom da je R_3 podešeno tako da je frekvencija nule prenosa na frekvenciji mrežnog napona ω_m , zamenom izraza (6) u izraz (4) dobija se kvadratna jednačina čije je rešenje

$$R_{t1} = \frac{1}{2}(R_{22} + R_{11} + R_t) - \frac{1}{2} \sqrt{(R_{11} + R_{22} + R_t)^2 - \frac{4(C_1 + C_2)}{C_1 C_2 C_3 \omega_m^2}}. \quad (7)$$

Jednačinom (7) određen je položaj klizača potenciometra R_t u funkciji od vrednosti elemenata dvostrukog T -mosta i frekvencije nule prenosa, da bi se obezbedilo beskonačno slabljenje mrežnog napona. Na Slici 3 prikazana je karakteristika slabljenja filtra sa Slike 2 za nominalnu frekvenciju mrežnog napona i dva granična slučaja. Otpornici R_t i R_{t3} se podešavaju tako da su uslovi (6) i (7) ispunjeni za $f_m = 49 \text{ Hz}$, 50 Hz i 50.5 Hz .



Slika 3. Karakteristike slabljenja anslognog filtra za $f_m = 49 \text{ Hz}$, 50 Hz i 50.5 Hz .

Na Slici 3 je prikazan i gabarit propusnog opsega sa graničnom frekvencijom koja je jednaka najnižoj frekvenciji tonfrekventnog signala $f_g = 183\frac{1}{3} \text{ Hz}$. Slabljenje na granici propusnog opsega je manje od 3 dB. Nižoj frekvenciji mrežnog napona odgovara veće slabljenje u propusnom opsegu i obrnuto.

C. Osetljivost

Maksimalne vrednosti otpornika R_t i R_{t3} , pored promene frekvencije mreže, zavise i od usvojenih tolerancija i stabilnosti karakteristika upotrebljenih komponenata. Analizom osetljivosti dvostrukog T -mosta određuje se uticaj komponenata kola na promenu položaja nule prenosa u ravni kompleksne frekvencije, a samim tim i na slabljenje mrežnog napona. Koristeći jednačine (6) i (7) možemo odrediti promene otpornika R_{t1} i R_{t3} u zavisnosti od promena ostalih elemenata dvostrukog T -mosta i promene frekvencije mreže

$$\begin{aligned} \frac{\Delta R_{t1}}{R_1} &= \sum_{j=1}^6 \left(\frac{x_j}{R_1} \frac{\partial R_{t1}}{\partial x_j} \right) \frac{\Delta x_j}{x_j} \\ \frac{\Delta R_{t3}}{R_3} &= \sum_{j=1}^6 \left(\frac{x_j}{R_3} \frac{\partial R_{t3}}{\partial x_j} \right) \frac{\Delta x_j}{x_j} \end{aligned} \quad (8)$$

gde su x_j kapacitivnosti, otpornosti u mostu i frekvencija mrežnog napona. Izrazi u malim zagradama su, ustvari, logaritamske osetljivosti promenljivih otpora R_{t1} i R_{t3} . Pod pretpostavkom da su promene komponenata male, izračunavanjem logaritamskih osetljivosti promenljivih otpornosti R_{t1} i R_{t3} i zamenom u (8) dobija se:

$$\begin{aligned} \frac{\Delta R_{t1}}{R_1} &= \frac{\rho R_{11}}{(1-\rho)R_1} V_{R_{11}} - \frac{\rho R_{22}}{(1-\rho)R_2} V_{R_{22}} \\ &\quad - \frac{\rho}{\rho^2 - 1} V_{C_1} + \frac{\rho^2}{\rho^2 - 1} V_{C_2} \\ &\quad - \frac{\rho}{\rho - 1} V_{C_3} - \frac{2\rho}{\rho - 1} \frac{\Delta \omega_m}{\omega_m} \\ \frac{\Delta R_{t3}}{R_3} &= - \frac{R_{11}}{R_1(\rho + 1)} V_{R_{11}} - \frac{R_{22}}{R_1(\rho + 1)} V_{R_{22}} \\ &\quad - \frac{R_{33}}{R_3} V_{R_{33}} - V_{C_1} \\ &\quad - V_{C_2} - 2 \frac{\Delta \omega_m}{\omega_m} \end{aligned} \quad (9)$$

gde su $V_{xj} = \Delta x_j / x_j$ relativne promene elemenata, odnosno relativne tolerancije. Relativna odstupanja potenciometara R_{t1} i R_{t3} zavise od vrednosti parametra ρ koja određuje odnos vrednosti elemenata u mostu. Izborom ovog parametra može se znatno uticati na položaj polova odnosno, odstupanje karakteristike slabljenja od nominalne vrednosti u propusnom opsegu. Kako su apsolutne promene R_1 i R_2 iste odnos relativnih priraštaja biće u odnosu $\rho : 1$. Polovi su osetljiviji na promene R_2 nego na promene R_1 pa je potrebno usvojiti $\rho > 1$ da bi promena amplitudske karakteristike bila što manja.

Izraz (9) nije pogodan za izračunavanje promene otpornika zbog slučajnog karaktera promena vrednosti elemenata kola. Zbog toga je potrebno izvršiti statističku analizu kola. Ova analiza se zasniva na određivanju varijanse otpornika R_{t1} i R_{t3} ako su poznate varijanse komponenata kola

$$\sigma^2(R_{t1}) = \sum_{j=1}^6 \left(\frac{x_j}{R_1} \frac{\partial R_{t1}}{\partial x_j} \right)^2 \sigma^2(x_j) \quad (10)$$

$$\sigma^2(R_{t3}) = \sum_{j=1}^6 \left(\frac{x_j}{R_3} \frac{\partial R_{t3}}{\partial x_j} \right)^2 \sigma^2(x_j)$$

gde su $\sigma^2(x_j)$ varijanse vrednosti pasivnih komponenata dvostrukog T -mosta.

Ukoliko se usvoji $\rho = 5$ i promena elemenata kola od 1%, opseg u kome se menjaju relativne vrednosti R_{t1} i R_{t3} je približno:

$$-4.91\% < \frac{\Delta R_{t1}}{R_1} < 7.41\%$$

$$-3.93\% < \frac{\Delta R_{t3}}{R_3} < 5.93\%$$

Sa ovako odabranim vrednostima, promena položaja polova i realne nule prenosa u ravni kompleksne frekvencije, može se kompenzirati promenljivim otpornicima R_t i R_{t3} .

Opseg promene otpornosti R_{t1} usled variranja frekvencije mreže, za usvojenu vrednost $\rho = 5$, je od -2.5% do $+5\%$ od vrednosti otpornosti R_1 . Promena otpornost R_1 usled statističkih odstupanja elemenata mosta iznosi $\pm 5\%$, pa se vrednost otpornika R_1 određuje iz uslova da promenljiva otpornost R_t iznosi 17.5% njegove vrednosti.

Adaptivni filter je realizovan sa jednim integrisanim kolom, X9C103 firme XICOR, koje sadrži četiri potencijometra otpornosti 10 k Ω . Minimalna promena otpornosti iznosi 100 Ω , što je procenualno 0.21 % njegove vrednosti. Ovoj promeni otpornosti odgovara promena frekvencije nule od 0.035 Hz.

III. SOFTVER

A. Filtar propusnik niskih frekvencija

Potiskivanje harmonika mrežnog napona može se izvršiti niskofrekventnim nerekurzivnim digitalnim filtrom. Impulzni odziv ovog filtra dat je izrazom:

$$h_{LP}(k) = \begin{cases} 1, & \text{za } k = 0, \dots, N-1, \\ 0, & \text{za } k < 0 \text{ i } k > N-1 \end{cases} \quad (11)$$

Primenom formule za zbir prvih N članova niza dobija se prenosna funkcija filtra propusnika niskih frekvencija

$$H_{LP}(z) = \frac{1}{N} \sum_{k=0}^{N-1} z^{-k} = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \quad (12)$$

Izvršena je normalizacija sa N da bi pojačanje filtra na nultoj frekvenciji bilo jednako 1.

Frekventni odziv se izračunava smenom $z = e^{j\omega T}$ u izraz (12)

$$H_{LP}(\omega) = e^{-j(N-1)\frac{\omega T}{2}} \frac{1}{N} \frac{\sin(\frac{N\omega T}{2})}{\sin(\frac{\omega T}{2})} \quad (13)$$

Karakteristika slabljenja je oblika $\sin(x)/x$ dok je fazna karakteristika linearna.

Nule prenosne funkcije (13) nalaze se na frekvencijama:

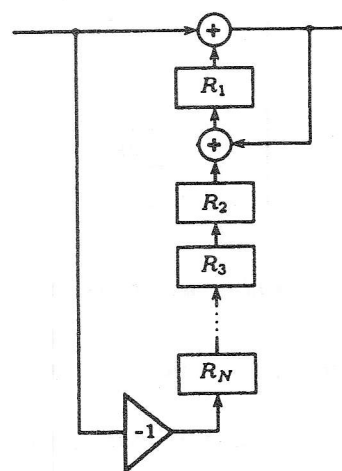
$$f_z = k \frac{f_s}{N}, \quad k = 1, 2, \dots$$

Na osnovu ovoga se može odrediti red filtra N tako da polovi slabljenja budu jednaki sa harmoncima mrežne frekvencije:

$$N = k \frac{f_s}{f_m} \quad (14)$$

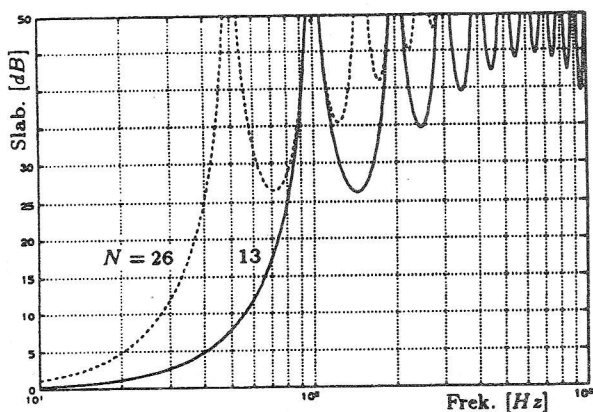
U konkretnom slučaju, za tonfrekventni signal frekvencije $f_o = 216\frac{1}{3}$ Hz frekvencija odmeravanja iznosi $f_s = 6f_o = 1300$ Hz pa je najmanji broj za $N = 26$. Međutim, pošto se ovim filtrom filtrira ispravljeni mrežni napon to red filtra može biti dvostruko niži, $N = 13$.

Prenosna funkcija (12) može se realizovati direktno ili kaskadnim povezivanjem nerekurzivnog i rekurzivnog dela. Na Slici 4 prikazana je struktura direktne realizacije ove prenosne funkcije koja je pogodnija za implementaciju na mikroračunarskom sistemu.



Slika 4. Struktura filtra propusnika niskih frekvencija

Na Slici 5 prikazana je amplitudska karakteristika niskofrekventnog filtra čija je struktura prikazana na Slici 4.



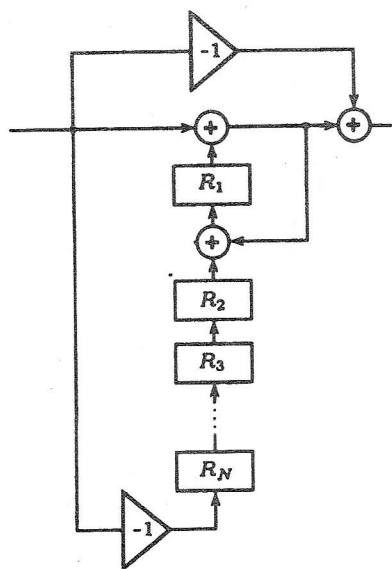
Slika 5. Karakteristika slabljenja niskofrekventnog filtra za $n = 13$ i 26 . $f_s = 1300$ Hz.

B. Filtar propusnik visokih frekvencija

Filtar propusnik visokih frekvencija dobija se jednostavnom transformacijom filtra propusnika niskih frekvencija $H_{LP}(z)$

$$H_{HP}(z) = 1 - H_{LP}(z)$$

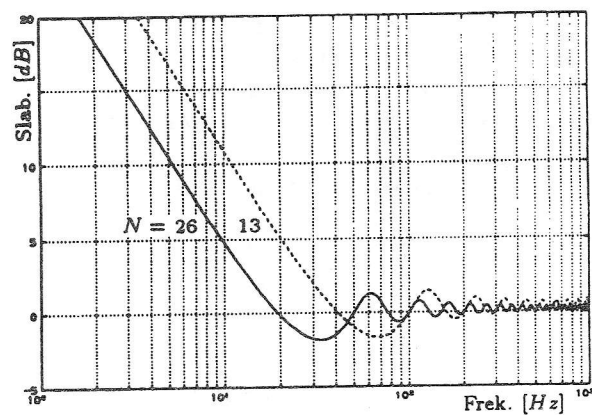
Prema tome, struktura ovog filtra je paralelna veza filtra niskih frekvencija i invertora, kao što je to prikazano na Slici 6.



Slika 6. Struktura filtra propusnika visokih frekvencija

Struktura na Slici 6 stvara fazni pomeraj od 180° , međutim, to nije od značaja za rad prijemnika.

Na Slici 7 prikazana je karakteristika slabljenja filtra propusnika visokih frekvencija za $N = 13$ i $N = 26$. Na ulazu u filter imamo napon mrežne frekvencije i zbog toga je potrebno da red filtra iznosi $N = 26$. Radi poređenja na istoj slici je prikazana i karakteristika slabljenja filtra dvostruko višeg reda.



Slika 7. Karakteristika slabljenja viskofrekventnog filtra za $n = 13$ i 26 . $f_s = 1300$ Hz.

Ukoliko se želi povećanje minimalnog slabljenja filtra u nepropusnom opsegu potrebno je izvršiti kaskadno povezivanje više sekcija.

C. Simulacija

Simulacija počinje od osmootbitne A/D konverzije napona na izlazu adaptivnog filtra. Napajanje filtra je asimetrično sa $+5$ V. Zbog toga, kada se ne emituje tonfrekventni signal, napon na ulazu u A/D konvertor ima oblik

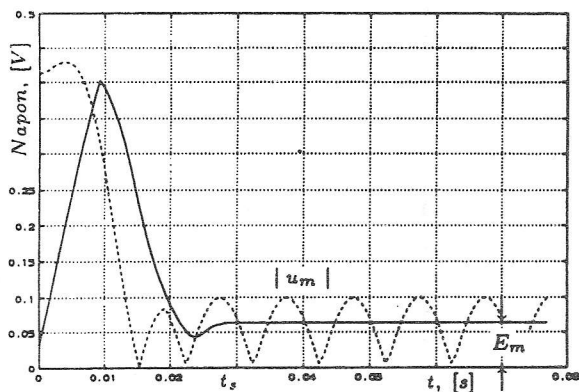
$$u_i = U_o + U_m \sin(2\pi f_m T), \quad (15)$$

gde je $U_o = 2.5$ V jednosmerni napon koji se može menjati tokom vremena usled promene napona napajanja ili vrednosti elemenata filtra, a U_m je preostala vrednost mrežnog napona posle filtriranja adaptivnim filtrom. Napon U_m se pojavljuje ukoliko dođe do promene mrežne frekvencije ili promene vrednosti elemenata filtra usled temperature ili starenja. Simulacija dalje sadrži:

- Filtriranje napona (15) visokofrekventnim filtrom ($N = 26$) da bi se odstranila jednosmerna komponenta U_o , a zadržao samo mrežni napon U_m preostao posle filtriranja adaptivnim filtrom.
- Ispravljanje ovako dobijenog napona, odnosno, izračunavanje apsolutne vrednosti. Na Slici 8 prikazan je isprekidanom linijom.
- Filtriranje ispravljenog napona filtrom propusnikom niskih frekvencija ($N = 13$). Rezultat je srednja vrednost napona, E_m , koja je na Slici 8 prikazana punom linijom. Kada napon E_m pređe propisanu vrednost podešava se najpre potencijometar R_{13} , a zatim i R_1 , radi njegovog smanjivanja.

Da ne bi došlo do odsecanja brojeva tokom filtriranja dužina registara je kod filtra propusnika visokih frekvencija odabrana tako da su registri od R_2 do R_N dužine jednog bajta dok je R_1 dužine dva bajta. Kod filtra propusnika viskih frekvencija

registri od R_2 do R_N su dužine dva bajta dok je R_1 dužine tri bajta.



Slika 8. Rezultati simulacije za tonfrequentni signal $f_o = 283\frac{2}{3}$

Na Slici 8 se vidi prelazni režim koji traje približno $t_s \approx 30$ ms.

IV. ALGORITAM

Mikroračunar je vrlo malo zauzet obradom tonfrequentnih signala. Ostatak vremena se može iskoristiti za obradu mrežnog napona i podešavanje adaptivnog filtra da bi se obezbedio minimum mrežnog napona na ulazu u A/D konvertor.

Postupak određivanja položaja klizača promenljivih otpornosti R_{t3} i R_t mikrokontrolerom, sastoji se od sledećih koraka:

- (i) Izračunavanje srednje vrednosti amplitude osnovnog harmonika mrežnog napona E_m na izlazu NF filtra u bloku za obradu mrežnog napona.
- (ii) Poredi se E_m sa zadatom maksimalno dozvoljenom amplitudom filtriranog mrežnog napona na izlazu filtra E_{max} . Ukoliko je $E_m < E_{max}$ prelazi se na korak (i), a ukoliko nije pristupa se promeni otpornosti.
- (iii) Podešava se frekvencija konačne nule prenosa ω_m promenom otpornika R_{t3} . Ukoliko se dobije $E_m < E_{max}$ prelazi se na korak (i). U suprotnom slučaju prelazi se na korak (iv).
- (iv) Podešava se slabljenje nule prenosa promenom otpornika R_t dok se ne dobije da je $E_m < E_{max}$. Zatim se prelazi na korak (i).

V. ZAKLJUČAK

U radu je opisan optimalni prijemnik signala koji se prenose energetskim vodovima. Prijemnik se sastoji od adaptivnog analognog aktivnog RC filtra i mikrokontrolera za obradu mrežnog napona i MTK signala.

Prednosti optimalnog prijemnika u odnosu na standardni su sledeće: povećana osetljivost za red veličina i mogućnost daljinskog programiranja. Osetljivost je povećana činjenicom da prijemnik na

ulazu nema attenuator za slabljenje mrežnog napona radi zaštite integrisanih kola od previsokog napona. Selektivno kolo, za izdvajanje tonfrequentnog signala, ne nalazi se na ulazu filtra već je programski implementirano i zato je moguće realizovati prijemnik sa daljinskim programiranjem za prijem proizvodnog MTK signala.

U toku vremena, kada ne prima tonfrequentni signal, mikrokontroler podešava adaptivni filter da održi mrežni napon na izlazu filtra u propisanim granicama. Povećanje mrežnog napona na izlazu adaptivnog filtra može biti usled promene frekvencije mreže ili promene vrednosti komponenata zbog temperature ili starenja.

ZAHVALNICA

Uradu su saopšteni rezultati istraživanja na projektu, ev. broj projekta I.1.0822, koji je finansiran sredstvima Fonda za nauku SR Srbije i Ei Holding Co., DD Profesionalna elektronika.

LITERATURA

- [1] Stojanović, V.S., Stanković, M. i Đorđević, S.D., "Optimizacija tolerancija kod direktne sinteze aktivnog filtra", Zbornik radova XXXIX Konferencija ETRAN-a, Zlatibor, 6.-9. juna 1995., pp 344-347.
- [2] V.S. Stojanović, S.D. Đorđević, "Analogni filter za izdvajanje signala koji se prenose energetskim vodovima", Zbornik radova - TELSIS '95, Niš, 10.-12. oktobar 1995., pp 325-328.
- [3] Stojanović, V.S. i Đorđević S.D., "Adaptivni filter za izdvajanje signala koji se prenose energetskim vodovima", Zbornik radova XLI Konferencija ETRAN-a", Zlatibor, 3 - 6. juna 1997.
- [4] Stojanović, V.S. i Nikolić, S.V., "Digitalni filter za izdvajanje podataka koji se prenose energetskim vodovima", Zbornik radova - TELFOR '93", Beograd, 24.-26. novembar 1993., pp 485-490.
- [5] V.S. Stojanović, "Sinteza aktivnog RC filtra s minimalnim brojem operacionih pojačavača," Zbornik Referatov - SD '76, Ljubljana, 7.-8. oktobra 1976., pp 189-194.
- [6] G.S. Moschytz, "A general approach to twin-T design and its application to hybrid integrated linear active networks" BSTJ, Vol. 49, July 1970, pp 1105-1149.

Abstract – The paper offers a description of an optimal receiver for signal transmitted through ac power networks. The main advantages of the optimal receiver, with respect to the classic solution, are increased sensitivity and a possibility of remote programming. The increased sensitivity is achieved by implementing an adaptive RC active filter which suppresses the main ac voltage without previous attenuation. Simultaneous receiving of the all tone-frequency signals provides the possibility of remote programming.

OPTIMAL RECEIVER FOR SIGNAL TRANSMITTED THROUGH THE POWER NETWORK,

Vidosav S. Stojanović & Srđan D. Đorđević

TESTABILNO DIGITALNO INTEGRISANO KOLO SPECIFIČNE NAMENE SA UGRADJENIM ANALOGNIM MULTIPLESERIMA

S. Janković, D. Maksimović, V. Živković, P. Petković, V. Litovski
Elektronski fakultet, Beogradska 14, 18000 Niš, Jugoslavija

Sadržaj - U radu su opisani osnovni zahtevi za projektovanje jednog digitalnog kola specifične namene koje se može koristiti kao deo uređaja za merenje električne snage. Sastavni deo kola predstavljaju analogni multiplekseri čiji rad kontrolišu digitalni signali. Obrazložene su opšte odluke o organizaciji topologije čipa, a zatim je detaljno opisan projekat analognog multipleksera, kao ključne komponente neophodne za efikasan rad kola. Posebno je opisan i deo čipa projektovan sa ciljem da se omogući testiranje kako digitalnog, tako i analognog dela čipa.

1. UVOD

Prednosti projektovanja integrisanih kola specifične namene (Application Specific Integrated Circuits - ASIC) u odnosu na projektovanje i proizvodnju elektronskih uređaja zasnovanih na standardnim integrisanim kolima dobro su poznate. Ipak značaj njihove primene nalaže autorima da osnovni motiv za uvođenje ovih kola u redovnu proizvodnju obrazlože i u ovom radu. Značaj ASIC kola može se sagledavati kroz poboljšanja kako tehnoloških tako i električnih karakteristika. Međutim, osnovni razlog uvođenja novih tehnologija, a time i poboljšanja električnih osobina kola leži u ekonomskom motivu. Naime, pravilnim izborom tehnologije projektovanja u zavisnosti od složenosti kola, zahteva za kvalitetom i obimom proizvodnje, ASIC kola su, sa stanovišta proizvodnje i eksploatacije, ekonomičnija od standardnih integrisanih kola.

Ekonomska opravdanost sa aspekta proizvodnje ogleda se u, po pravilu, znatno nižoj ceni ASIC kola u odnosu na cenu svih standardnih integrisanih kola koja se zamenjuju. Pored toga, vreme rada neophodno za ugradnju jednog ASIC kola daleko je kraće od odgovarajućeg rada neophodnog za ugradnju većeg broja standardnih integrisanih kola. Najzad, smanjeni gabariti uređaja u koji su ugrađena ASIC kola dodatno smanjuju cenu proizvodnje. S druge strane, ekonomska opravdanost primene ASIC kola sa stanovišta eksploatacije ogleda se u smanjenim troškovima održavanja, većoj pouzdanosti, a time i većim ugledom kod krajnjih korisnika uređaja.

U ovom radu opisujemo projektovanje jednog integrisanog kola specifične namene koje se može upotrebiti u uređajima za merenje električne snage. Kolo sadrži digitalni i analogni deo. Analogni deo kola čini multiplekser realizovan sa devet kontrolisanih

prekidača. Kontrolišući signali generišu se u digitalnom delu kola.

Digitalni deo projektovan je metodom standardnih ćelija (standard cells - SC) dok je, zbog svoje specifičnosti, analogni deo projektovan po pravilima potpunog projektovanja (full custom design). Posebna pažnja u projektovanju posvećena je ugradnji dodatne logike koja omogućava efikasnu testabilnost celog kola (Design for Testability - DFT). Projektovanje zasnovano na DFT dozvoljava proveru funkcionisanja pojedinih delova čipa.

Opisano kolo projektovano je pod radnim nazivom LPEK001 u Laboratoriji za projektovanje elektronskih kola na Elektronskom fakultetu u Nišu. Naručeni su, i isporučeni, uzorci realizovani u ES2 tehnologiji kod stranog partnera. Uzorci se trenutno testiraju. Posle parcijalne provere svih delova kola ponaosob, ustanovljena je funkcionalna ispravnost ugrađenih rešenja.

Razlozi koji su uticali na izbor stila projektovanja, opisani su u drugom poglavlju. Treće poglavlje posvećeno je projektovanju analognog multipleksera. U četvrtom poglavlju opisana je DFT realizacija i prikazan deo rezultata testiranja.

2. ODLUKE O IMPLEMENTACIJI LAYOUT-a

Softver korišćen za projektovanje čipa je ALLIANCE [1]. Shodno osobinama korišćenog alata za CAD (projektovanje pomoću računara), već na početku moraju biti donete određene odluke o organizaciji čipa. Alternative su sledeće: realizacija standardnim ćelijama ili *datapath* strukturama i korišćenje fiksnih blokova ili njihovo razbijanje i apsorbovanje na višim nivoima hijerarhije.

Prvi izbor odnosi se na stil projektovanja. U kolu se ne pojavljuju ćelije koje obradjuju višebitne reči, a nema ni velikih lokalnih magistrala. Osim toga, priroda kola je asinhrona i ne nameće stroga vremenska ograničenja. Svi ovi faktori idu u korist implementacije standardnim ćelijama, a na taj način obezbeđuju se i fleksibilniji uslovi u fazi povezivanja.

Drugi izbor vezan je za hijerarhijsku organizaciju čipa. Fiksni blok ostaje celina na sledećem višem nivou hijerarhije. Druga mogućnost je apsorpcija blokova i svođenje projekta na jedan nivo hijerarhije. ALLIANCE CAD alat ne obezbeđuje efikasan ruter na nivou makroćelija. Postoji samo *block-to-block* ruter, sposoban da međusobno poveže dva bloka uz relativno

loše iskorišćenje površine silicijuma. Shodno ovome, išlo se na maksimalnu moguću upotrebu rutera na nivou standardnih ćelija. Rezultat je fizička hijerarhija sa samo dva makrobloka, digitalni i analogni. Digitalni deo realizovan je standardnim ćelijama, a mreža analognih multipleksera projektovana je *full custom* stilom (potpuno projektovanje po narudžbini).

Layout čipa prikazan je na slici 1. Dve pravougaone podoblasti jasno su vidljive u okviru aktivne površine čipa.

Donji deo čipa na slici 1 predstavlja mrežu devet analognih multipleksera. Pet multipleksera je međusobno povezano, dok je četiri potpuno nezavisno sa svim pristupima dostupnim preko ulazno/izlaznih pinova čipa. Prisustvo analognih signala zahteva i specifične stopice. Baferovanje signala je eliminisano, dok je zadržana diodna zaštita ulaza. Svi prekidači upravljani su signalima iz digitalnog dela čipa, tako da je moguće paralelno testiranje prekidača za vreme nekog od digitalnih testova.

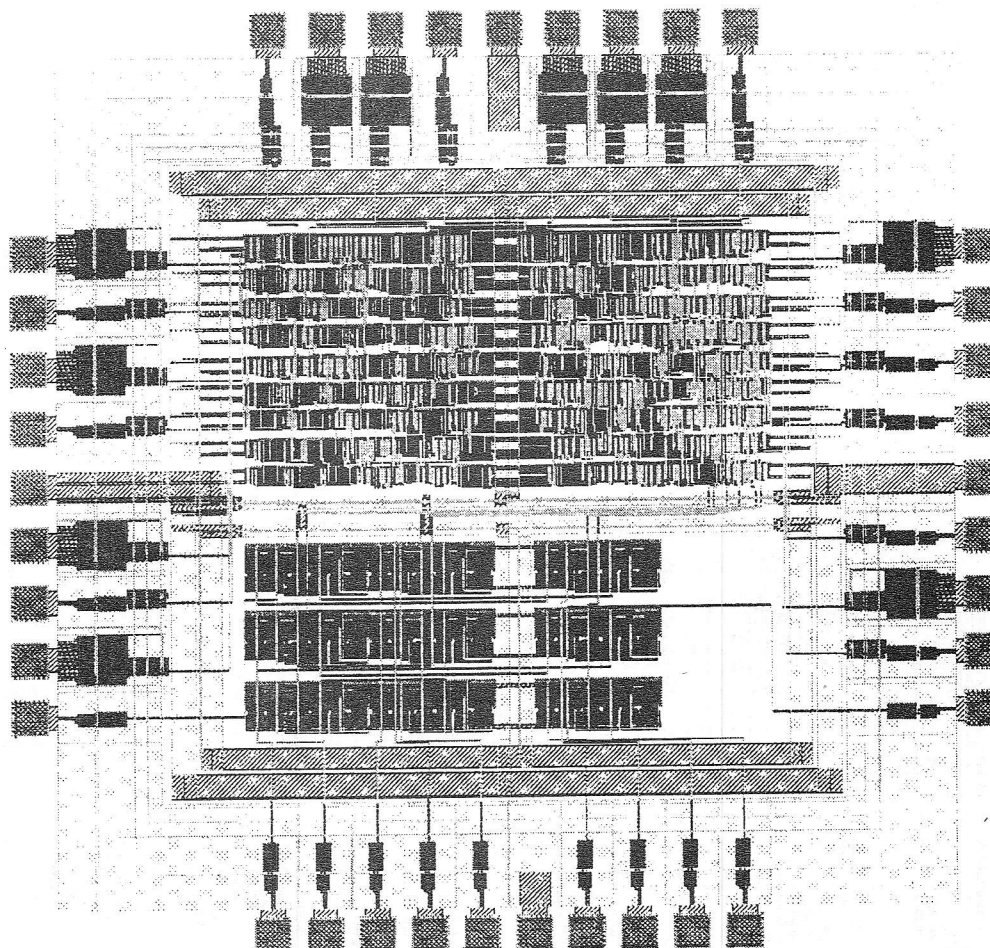
Logički deo kola (gornji deo čipa na slici 1) sastoji se od dva 14-bitna delitelja frekvencije, dva 4-bitna binarna brojača, jednog 5-bitnog brojača, koji su

međusobno povezani preko registara i kombinacione logike.

3. PROJEKAT ANALOGNOG MULTIPLEKSESA

Analogni multiplekser je najosetljiviji deo projekta. On je najodgovornija komponenta za precizno množenje impulsno-širinskih množača (u literaturi poznati kao *time-division* ili *mark to space* množači) [2], [3].

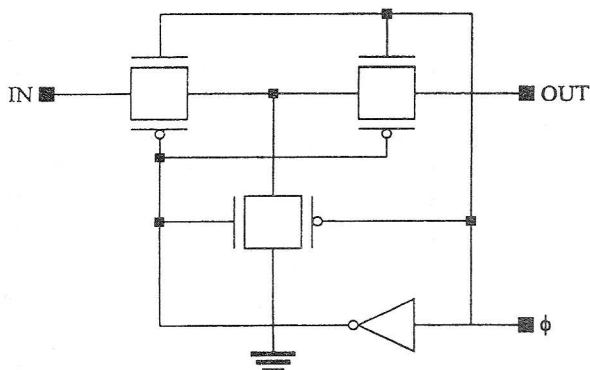
CMOS prekidač je izabran zahvaljujući dobro poznatim prednostima u odnosu na NMOS prekidač. Dinamički opseg analognog signala u *on* stanju značajno je povećan. n- i p-kanalni tranzistori vezani su paralelno i pobuđuju se komplementarnim klok signalima, tako da je problem struje ubačenog naelektrisanja (*clock feedthrough*) delimično redukovano [4]. Ipak, CMOS prekidač takođe nije savršen. Otpornost prekidača kada vodi je konačna i zavisna od primenjenog ulaznog napona. Ne sme se zaboraviti i efekat ubačenog naelektrisanja, koji još uvek nije zanemarljiv. Ostali nedostaci prekidača nisu od značaja za ovaj projekat.



Sl. 1. *Layout* kola

Korisnički zahtevi vezani za prekidače su vrlo strogi. Traži se da otpornost u *on* stanju bude manja od 150 Ω . Varijacije otpornosti sa promenom ulaznog napona treba da budu manje od 5% u radnom opsegu

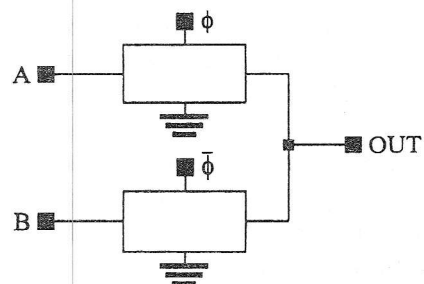
(oko 2.5 V). Ipak, najveći problem nastaje usled efekta ubačenog naelektrisanja. Njegova direktna posledica je postojanje ofseta (razdešenosti) nule, što prouzrokuje nedopustive nepreciznosti množača. Ovo nas je navelo da prekidač realizujemo na način prikazan na slici 2.



Sl. 2. Šematski prikaz implementiranog prekidača

Kada je upravljački signal ϕ na visokom naponskom nivou, prekidač je u *on* stanju i signal se prenosi od IN ka OUT. Nizak naponski nivo na signalu ϕ otvara prekidač i dovodi na masu po jedan terminal transmisionih gejtova, sprečavajući pojavu ubačenog naelektrisanja.

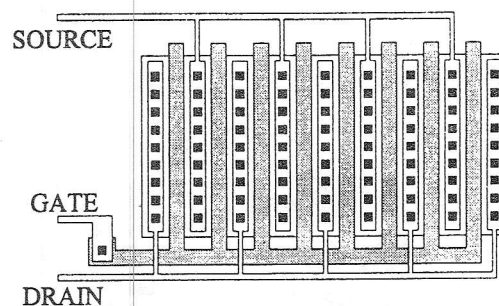
Za multipleksiranje signala potrebna su dva gore opisana prekidača, tako da je konačno rešenje prikazano na slici 3.



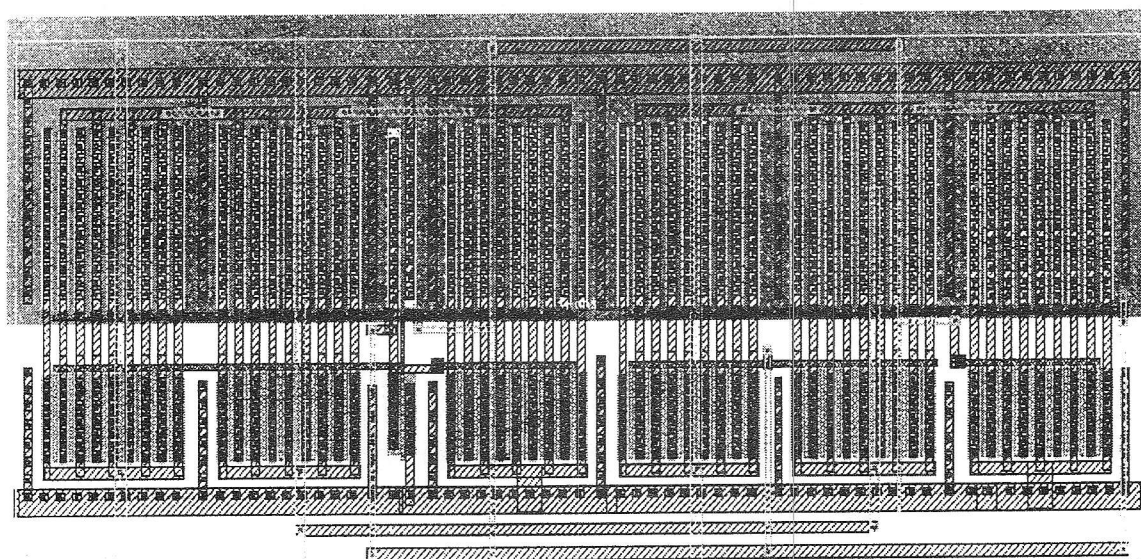
Sl. 3. Analogni multiplekser

SPICE [5] simulacija ukazala je da tranzistori koji čine transmisione gejtove prekidača moraju imati veliki W/L odnos (odnos širine i dužine kanala) da bi se zadovoljio korisnički zahtev o maloj otpornosti u *on* stanju. N-kanalni tranzistor treba da ima W/L odnos 180:1, dok je ovaj odnos dupliran kod p-kanalnih tranzistora.

Praktična realizacija ovakvih tranzistora dobija se paralelnim vezivanjem većeg broja jednakih paralelnih tranzistora organizovanih u *stack* konfiguraciju [6], kao na slici 4. Drejnovi i sorsovi svih tranzistora međusobno su povezani metalom, dok je za povezivanje gejtova korišćen polisilicijum.



Sl. 4. Stack konfiguracija tranzistora sa velikim W/L odnosom

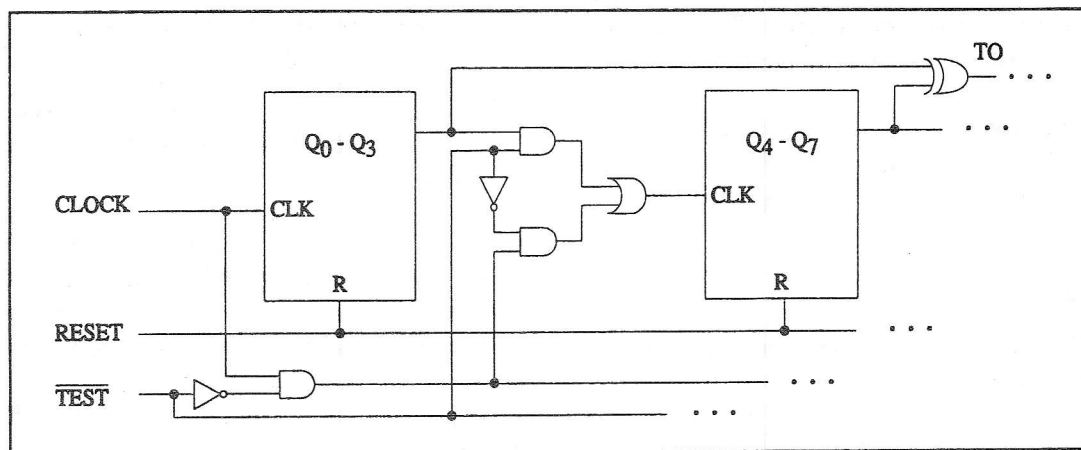


Sl. 5. Layout analognog multipleksera

Većina drejn-sors veza opslužuje dva različita tranzistora, štedeći na taj način površinu silicijuma i redukujući parazitne kapacitivnosti sors-supstrat i drejn-supstrat spojeva.

Layout analognog multipleksera prikazan je na slici 5. Post-layout SPICE simulacija, sa parametrima i

dimenzijama ekstrahovanim iz samog layout-a, potvrdila je ispunjenje korisničkog zahteva. Otpornost prekidača u *on* stanju je između 105 i 130 Ω u celom opsegu ulaznog napona (0 do 5 V).



Sl. 6. Testna struktura korišćena kod 14-bitnih brojača

4. TESTIRANJE ČIPA

Uvedena je dodatna logika kako bi se omogućila DFT realizacija. Sastoji se od jednog demultipleksera tipa 3 u 8 čiji je zadatak da postavlja čip u jedan od sedam testnih režima i normalni režim rada.

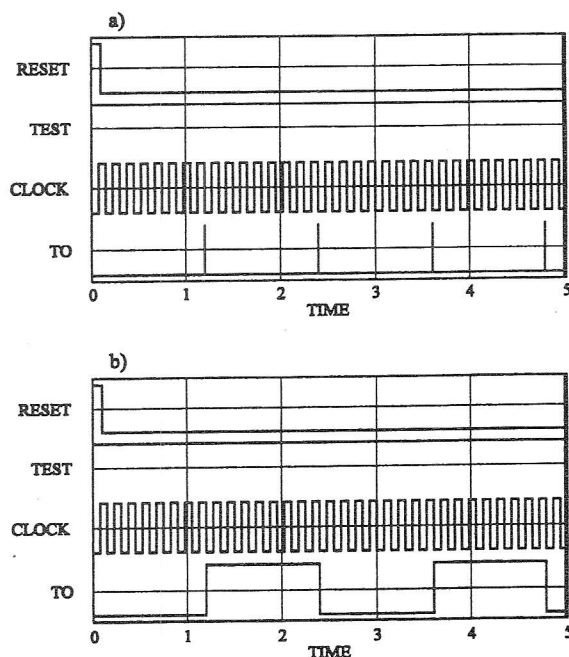
MSB-ovi (bitovi najveće težine) svih brojača su već opservabilni preko primarnih izlaza čipa. Jedan od četvorobitnih brojača može da radi u dva moda - triggerovane rastućom ivicom jednog ili opadajućom ivicom drugog klok signala. 14-bitni brojači su podeljeni na 4-bitne sekcije umetanjem multipleksera. U cilju uštede na broju dodatnih pinova potrebnih zbog opservabilnosti, izlazi 4-bitnih brojača su prilikom testiranja skupljeni u jedan XOR-ovan pin. Suština ideje prikazana je na slici 6.

Pošto 5-bitni brojač obavlja specifičnu funkciju u kolu, testiran je posebno. To je i uslovalo da najduža testna sekvenca bude 2^5 dugačka. Dve nezavisne testne sekvence dužine 2^4 korišćene su za testiranje 4-bitnog brojača sa dva moda rada. Pored toga, dva kratka testa korišćena su za testiranje preostale kombinacione logike. Sedmi testni mod upotrebljen je za testiranje analognih multipleksera koji nisu opservabilni preko stopica čipa.

Dodatna testna logika nije značajno povećala korišćenu površinu silicijuma, aktivna površina čipa je povećana za manje od 7%. Na drugoj strani, testni troškovi i vreme testiranja su značajno redukovani. Istovremeno je postignut visok stepen pokrivenosti defekata [7].

Testna strategija je simulirana i verifikovana logičkim simulatorom u okviru sistema ALECSIS [8]. Kao primer, rezultati simulacije za kolo sa slike 6 dati

su na slici 7. Kada u kolu nema defekata testni izlaz (signal TO) ostaje na niskom nivou tokom cele testne sekvence, kao što je prikazano na slici 7a. Kratki impulsi posledica su malih razlika u propagacionim kašnjenjima signala na različitim putevima. Odziv kola sa defektom dat je na slici 7b. Dobijeni talasni oblik signala TO je rezultat defekta *Q stuck-at-0* u proizvoljnom flip-flopu.



Sl. 7. Testni odziv:
a) kolo bez defekata
b) kolo sa defektom

5. ZAKLJUČAK

Opisan je projekat digitalnog ASIC-a sa ugrađenom mrežom analognih multipleksera. Ukupna površina čipa je 11.085 mm². Logički deo zauzima 65% aktivne površine čipa, dok je 35% zauzeto analognim prekidačima uz određene neefikasnosti zbog nedostatka kvalitetnog rutera na nivou makroćelija. Broj tranzistora na čipu, oko 10000, još jedan je pokazatelj složenosti čipa.

Čip je projektovan i proizveden u CMOS 1.0μ ES2 tehnologiji. Zbog obaveze čuvanja tajne prema naručiocu, šema kola i detaljniji rezultati su izostavljeni.

LITERATURA

- [1] -, ALLIANCE-3.0 C.A.D. Framework, Institute Blaise Pascal, University Pierre et Marie Curie, Paris, 1995.
- [2] Lj. Jovanović, "Konvertor napona u vremenske parametreimpulsnog niza za etalonsko merenje snage kod izobličenih naizmjeničnih signala", *Magistarska teza*, Elektrotehnički fakultet Univerziteta u Beogradu, 1989.
- [3] P. Bošnjaković, "Elektronsko merenje električne energije", *Doktorska teza*, Elektrotehnički fakultet Univerziteta u Beogradu, 1985.
- [4] P. Allen, D. Holberg, "CMOS Analog Circuit Design", *Holt, Rinehart and Winston*, New York, 1987.
- [5] L. Nagel, "SPICE 2: A Computer Program to Simulate Semiconductor Circuits", *Memorandum ERL-M520*, University of California, Berkley, May 1975.
- [6] U. Gatti, F. Maloberti, V. Liberali, "Full Stacked Layout of Analogue Cells", *Proc. IEEE International Symposium on Circuits and Systems*, 1989., pp 1123-1126.
- [7] M. Abramovici, M. Breuer, A. Friedman, "Digital Systems Testing and Testable Design", *Computer Science Press*, New York, 1990.
- [8] D. Glozić, "Alecsis 2.1: Objektno orjentisani hibridni simulator", *Doktorska teza*, Elektronski fakultet u Nišu, 1994.

Abstract - This paper describes a design of a digital ASIC (Application Specific Integrated Circuit) with embedded analog multiplexers. The circuit is designed for the power-meter device. An additional circuitry is introduced to provide testability of both, digital and analog part. After designing, chip is fabricated and tested.

Testable Design of Digital ASIC with Embedded Analog Multiplexers

Saša Janković, Dejan Maksimović, Vladimir Živković,
Predrag Petković, Vančo Litovski

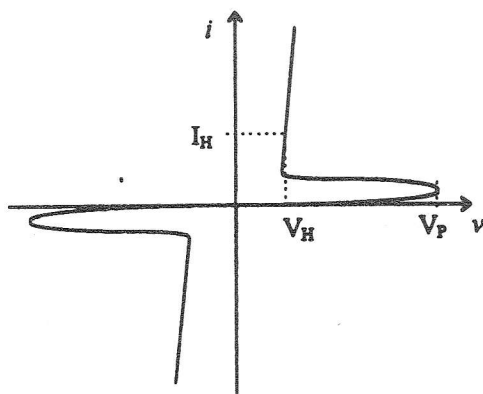
NAPAJANJE FLUORESCENTNIH LAMPI KORIŠĆENJEM REZONANTNIH INVERTORA

Nikola Bajić, Branko L. Dokić
Elektrotehnički fakultet Banja Luka

Sadržaj - U radu je dat pregled nekoliko rezonantnih topologija koje se koriste za efikasno napajanje fluorescentnih lampi. Visoka efikasnost, kod ove vrste invertora, ostvarena je primjenom rezonantnih tehnika koje omogućuju promjene stanja prekidačkog elementa pri nultom naponu i/ili struji, čime se minimiziraju prekidački gubici. Upotrebom samoosciljujućeg invertora u klasi E, realizovana je jedna varijanta sklopa za visokofrekventno napajanje fluorescentne lampe. U cilju dobijanja efikasnog kola sa minimalnim brojem komponenata, predloženo je rješenje sa sklopom u klasi E sa nesinusnim izlazom. Izvršena je eksperimentalna provjera dobijenih kola.

1. UVOD

U današnje vrijeme značajan dio proizvedene električne energije (25% [3]) se koristi za rasvjetu. U cilju racionalnije potrošnje kao izvor svjetlosti se, zbog svoje efikasnosti, sve više koriste fluorescentne lampe. Naime, fluorescentne lampe generišu svjetlost čiji je intenzitet po jedinici ulazne snage oko 4 puta veći (70-80 lm/W) u odnosu na standardne sijalice sa žarnom niti (17-23 lm/W) [1]. Takođe, životni vijek fluorescentnih lampi je mnogo duži: 20000 prema 700 časova kod sijalica sa žarnom niti. Na slici 1 prikazana je tipična v-i karakteristika fluorescentne lampe [1].



Slika 1. Tipična v-i karakteristika fluorescentne lampe.

U isključenom stanju fluorescentna lampica ima veoma veliku otpornost. Kada napon između elektroda dostigne V_p , gas u lampi postaje jako jonizovan, pa dolazi do generisanja električnog luka između elektroda, odnosno do uključivanja ("paljenja") lampe. Napon uključivanja lampe V_p ima vrijednost od 500V do 1200V i zavisi od karakteristika lampe (dužine i prečnika cijevi, vrste i pritiska gasa, tipa elektroda), načina uključivanja (sa ili bez grijanja elektroda) i radne frekvencije. Nakon uključivanja, napon lampe pada na radnu vrijednost V_H koja tipično iznosi od 40V do 110V i takođe zavisi od karakteristika lampe. Prilikom pada napona sa vrijednosti V_p na V_H , lampica posjeduje karakteristiku negativne otpornosti (slika 1). Dakle, za napajanje fluorescentne lampe potrebno je:

- obezbijediti napon na lampi potreban za start (napon uključivanja V_p),
- ograničiti struju lampe u radnom režimu.

U radnom režimu preporučuje se napajanje lampe naizmjeničnom strujom. Postojanje jednosmjerne komponente struje kroz lampu ubrzava trošenje elektroda čime se smanjuje životni vijek lampe. Pri mrežnom napajanju za dobijanje napona uključivanja, najčešće se koristi elektromehanički starter i induktivnost L. U radnom režimu induktivnost L, koja ima relativno veliku vrijednost i velike dimenzije, služi za ograničenje struje kroz lampu. Zbog nepostojanja sinhronizacije pri startu (napon paljenja se dovodi na lampu u slučajnom trenutku nakon isključivanja startera i može imati vrijednost nedovoljnu za uključivanje), startna procedura se ponavlja sve dok napon lampe ne bude dovoljan za uključivanje. Zbog rada na mrežnoj frekvenciji, javljaju se oscilacije u jačini generisane svjetlosti ("flicker") od 100Hz. Ovo može zadavati vizuelne probleme zbog stroboskopskog efekta koji se javlja na računarskim monitorima i rotirajućim mašinama. U posljednje vrijeme posvećuje se velika pažnja projektovanju sklopova za visokofrekventno (VF) napajanje fluorescentnih lampi kojima se prethodni nedostaci eliminišu. Pri tome se napon mreže ispravlja i filtrira tako da se jednosmjerni napon dovodi na inverter koji obezbjeđuje VF napajanje lampe. Pored ovoga pri primarnom napajanju iz mreže, prema postojećim standardima, obavezna je upotreba EMI filtra i kola za popravku faktora snage. Pri akumulatorskom napajanju u sastavu invertora se nalazi VF transformator malih dimenzija pomoću koga se postiže napon potreban za rad fluorescentne lampe. Efikasnost lampe pri radu na visokim frekvencijama ($f > 25\text{kHz}$) se povećava za 10-20% u odnosu na rad na mrežnoj frekvenciji, dok se napon uključivanja V_p smanjuje [2]. Da bi se zadržala visoka efikasnost pri upotrebi fluorescentne lampe, potrebno je obezbijediti visok faktor iskorišćenja elektronskog kola koje generiše potreban naizmjenični VF napon za napajanje cijevi. Rezonantni invertori obezbjeđuju visoku efikasnost i pri radu na veoma visokim frekvencijama (nekoliko stotina kHz). Naime, kod ove klase invertora promjena stanja prekidača se ostvaruje pri nultom naponu i/ili struji čime se minimiziraju prekidački gubici. Rad invertora na veoma visokim frekvencijama omogućuje smanjenje dimenzija reaktivnih komponenta. S obzirom na smanjenu disipaciju (postoje samo omski gubici) dozvoljeno je smanjenje dimenzija hladnjaka. Na taj način je omogućena izrada invertora minimalnih dimenzija. Za napajanje fluorescentne lampe mogu se koristiti sljedeće rezonantne topologije:

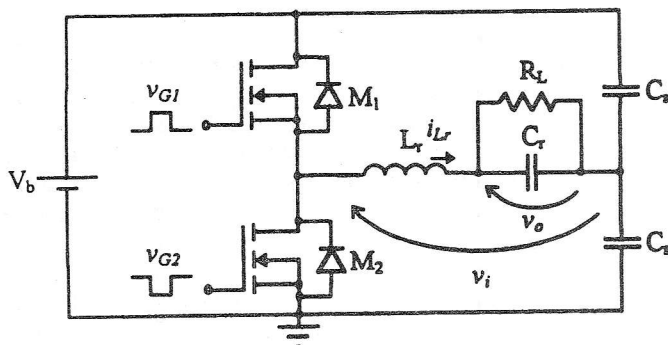
- rezonantni invertori klase D u polumosnoj topologiji [2-4],
- rezonantni push-pull inverter [6],
- rezonantni invertori u klasi E [7,8].

U narednom tekstu biće opisane navedene topologije.

2. REZONANTNI INVERTORI U KLASI D

Ovaj pretvarač se može koristiti podjednako uspješno i pri akumulatorskom, kao i pri primarnom napajanju iz mreže. Maksimalni napon na prekidaču je jednak naponu primarnog izvora što je posebno značajno u slučaju mrežnog napajanja. Ovdje će biti, bez smanjenja opštosti, objašnjen

princip rada jedne varijante rezonantnog invertora u klasi D pogodna za napajanje fluorescentne lampe bez obzira na tip primarnog izvora. Pri tome je, u slučaju akumulatorskog napajanja, potrebno upotrijebiti transformator sa odgovarajućim odnosom transformacije da bi se obezbijedili naponi potrebni za rad lampe (napon uključivanja i radni napon). Zbog velike zavisnosti prenosne karakteristike od opterećenja u okolini rezonantne frekvencije f_r najbolja topologija za napajanje fluorescentnih lampi je paralelni rezonantni pretvarač [2], čija je šema prikazana na slici 2. Fluorescentna lampa je predstavljena pomoću otpornika R_L koji prije uključivanja ima beskonačnu vrijednost, a u radnom režimu konačnu vrijednost određenu radnim uslovima.



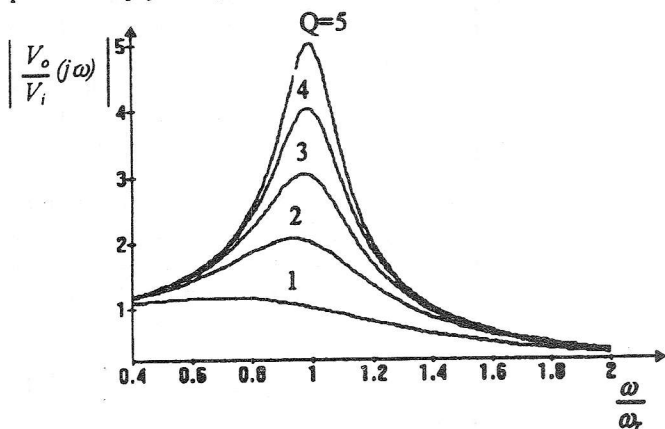
Slika 2. Paralelni rezonantni pretvarač u polumostnoj topologiji.

Odgovarajuća normalizovana frekventna karakteristika

$\left| \frac{V_o(j\omega)}{V_i(j\omega)} \right|$ prikazana je na slici 3 (u odnosu na osnovni

harmonik napona v_i).

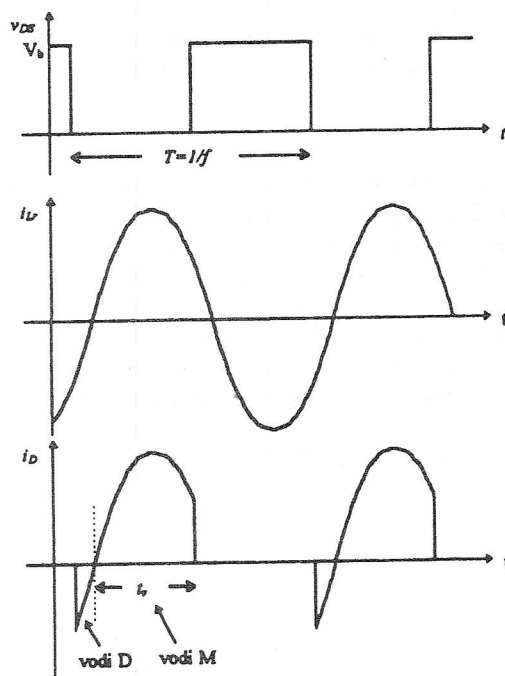
Pri veoma velikoj otpornosti opterećenja R_L u okolini rezonantne frekvencije, na izlazu se generiše veoma visok napon potreban za uključivanje fluorescentne lampe. Nakon uključivanja smanjuje se faktor dobrote upotrijebljenog oscilatornog kola Q (smanjuje se vrijednost otpornosti R_L), pa se smanjuje i napon lampe na radnu vrijednost.



Slika 3. Frekventna karakteristika $\left| \frac{V_o(j\omega)}{V_i(j\omega)} \right|$ kola sa sl. 2.

Ovaj invertor se najčešće koristi pri prekidačkim frekvencijama f višim od rezonantne frekvencije upotrijebljenog oscilatornog kola f_r . Na slici 4 dati su talasni oblici struje drejna i_D , napona između drejna i sorsa v_{DS} , tranzistora M_1 i struje rezonantne induktivnosti i_L za $f > f_r$. U tom slučaju oscilatorno kolo predstavlja induktivno opterećenje, te struja i_L kasni za naponom (osnovnim

harmonikom napona v_i). Zahvaljujući tome, prekidački elementi se uključuju pri nultom naponu čime su obezbijeđeni minimalni prekidački gubici. Naime, za vrijeme uključivanja tranzistora M vodi odgovarajuća antiparalelna dioda D (slika 4), pa napon na njemu za to vrijeme ima približno nultu vrijednost (napon na direktno polarizovanoj diodi). Takođe, zbog uključivanja tranzistora pri nultoj vrijednosti, paralelno tranzistorima mogu se vezati kondenzatori male vrijednosti kojima se, za vrijeme isključivanja tranzistora, odgovarajući napon v_{DS} pridržava na približno nultoj vrijednosti. Na taj način se minimiziraju prekidački gubici i prilikom isključivanja tranzistora. Regulacija izlazne snage, odnosno jačine svjetlosti koju generiše lampa, može se vršiti promjenom radne frekvencije ($f > f_r$).



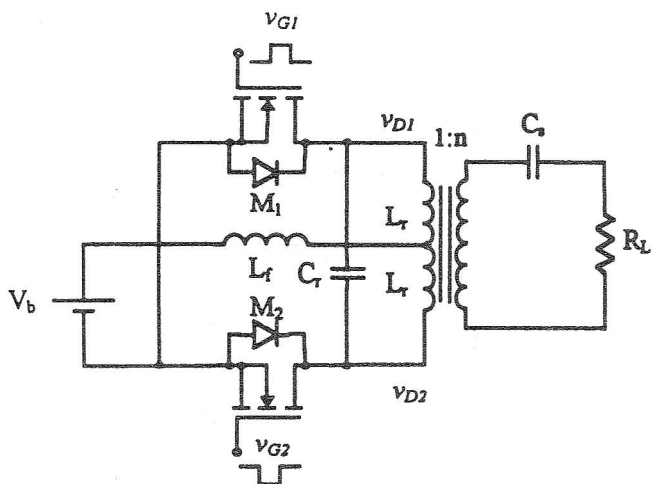
Slika 4. Talasni oblici struje i_D i napona v_{DS} MOSFET-a M_1 i struje i_L pri $f > f_r$.

U [3] je korišćena serijsko-paralelna rezonantna topologija kod koje je ostvareno grijanje elektroda u cilju uključivanja lampe pri nižem naponu uključivanja V_p . Na taj način se produžava životni vijek lampe.

3. REZONANTNI PUSH-PULL INVERTOR

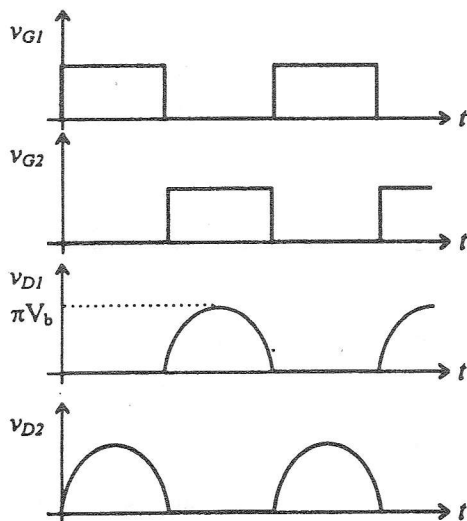
Na slici 5 prikazana je šema strujno napajanog rezonantnog push-pull pretvarača kod koga je ostvarena promjena stanja prekidača pri nultom naponu.

Tranzistori M_1 i M_2 se pobuđuju signalima faktora popune $D=0.5$ na frekvenciji jednakoj rezonantnoj frekvenciji oscilatornog kola preslikanog na primarnu stranu upotrijebljenog transformatora. Zbog rezonantnog karaktera napona v_{D1} i v_{D2} , tranzistori se uključuju i isključuju pri nultom naponu, čime je obezbijeđena visoka efikasnost. Na slici 6 prikazani su talasni oblici napona na drejnu v_{D1} i v_{D2} u odnosu na pobudne napone v_{G1} i v_{G2} . Maksimalni napon na drejnu tranzistora M_1 i M_2 iznose πV_b . Kondenzator C_s ograničava struju lampe u radnom režimu. Upotrijebljeni transformator ima odnos transformacije n kojim se obezbjeđuje potreban radni i probojni napon lampe.



Slika 5. Rezonantni push-pull pretvarač.

Za pobudu ove konfiguracije mogu se koristiti, za ovu svrhu specijalno namijenjena, integrisana kola UC3871/2. IC UC3871 predstavlja rješenje koje integriše funkcije kontrole i pobude pri napajanju fluorescentne lampe sa hladnom katodom (CCFL) namijenjene za osvjetljenje LCD-a u notebook računarima, kao i funkcije kontrole flyback pretvarača za napajanje LCD-a. IC UC3872 omogućuje kontrolu i pobudu rezonantnog push-pull konvertora pri napajanju raznih vrsta fluorescentnih lampi (CCFL, neonska lampa itd.) U oba prethodna slučaja se kao primarni izvor koristi akumulator (5V-20V), a regulacija ulazne struje push-pull invertora se obavlja pomoću dodatnog buck pretvarača.



Slika 6. Karakteristični talasni oblici kola sa slike 5.

4. REZONANTNI INVERTORI U KLASI E

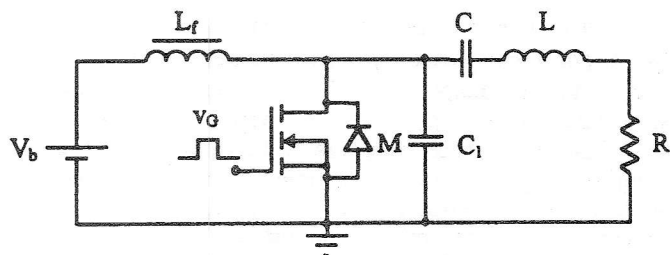
Rezonantni inverter u klasi E sa sinusnim izlaznim naponom, takođe se može koristiti za visokofrekventno napajanje fluorescentne lampe. Ovaj inverter predstavlja jednotranzistorsku topologiju koja se može upotrebljavati za akumulatorsko, kao i za mrežno napajanje fluorescentne lampe. U [7] je data realizacija invertora u klasi E napajana iz mreže na radnoj frekvenciji od 500kHz uz korišćenje BIMOS prekidača.

Osnovno kolo invertora u klasi E prikazano je na slici 7. Inverter radi u optimalnom režimu ako napon drejna v_D i izvod ovog napona u trenutku uključivanja tranzistora t_u imaju nultu vrijednost, tj.:

$$v_D(t_u) = 0, \quad (1)$$

$$\left. \frac{dv_D(t)}{dt} \right|_{t=t_u} = 0. \quad (2)$$

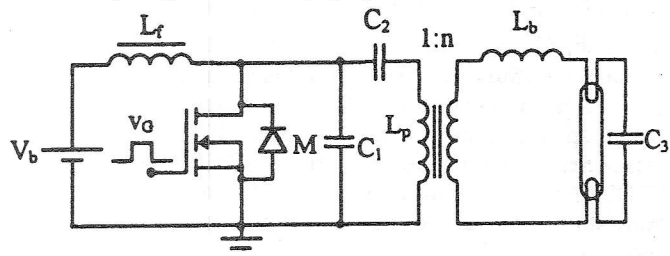
Na taj način se minimiziraju prekidački gubici tranzistora prilikom uključivanja. Prekidački gubici prilikom isključivanja su takođe smanjeni zbog toga što kondenzator C_1 , za to vrijeme, pridržava napon drejna na približno nultoj vrijednosti. U slučaju beskonačne vrijednosti prigušnice (struja iz izvora V_b konstantna), ovi uslovi se mogu ostvariti korišćenjem projektne procedure date u [4].



Slika 7. Osnovno kola invertora u klasi E.

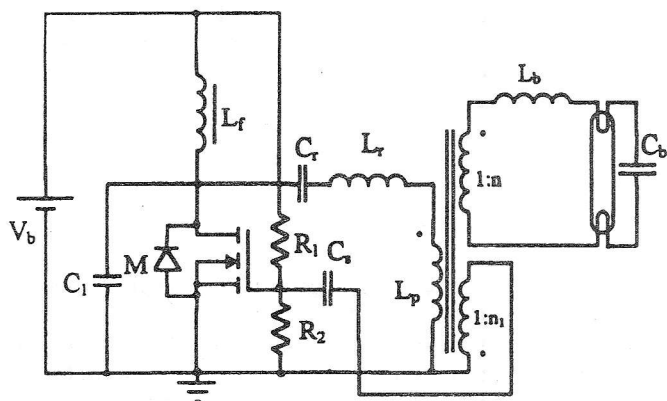
U optimalnom režimu rada efikasnost ovog invertora može dostići vrijednost do 96%. Pri otpornostima opterećenja koje su manje od optimalne vrijednosti R [4], inverter radi u suboptimalnom režimu, pri čemu je uslov (1) zadržan, dok (2) prestaje da važi. Za otpornosti opterećenja koje su veće od optimalne, prestaje da važi i uslov (1). U tom slučaju se tranzistor uključuje pri konačnom naponu na drejnu zbog čega se znatno povećavaju prekidački gubici.

Za postizanje probnog i radnog napona potrebno je obezbijediti odgovarajuću transformatorsku spregu sa fluorescentnom cijevi. Na slici 8 prikazano je kolo invertora u klasi E prilagođeno za napajanje fluorescentne lampe.



Slika 8. Kolo za napajanje fluorescentne lampe u klasi E.

Upotrijebljeni transformator odnosa transformacije n služi i za prilagođenje impedanse. Induktivnost L_b i kondenzator C_2 služe za obezbjeđenje uključivanja lampe i uzimaju se u obzir prilikom proračuna invertora. Pri startu, u ovom slučaju, se obavlja grijanje elektroda lampe, čime se smanjuje napon uključivanja V_p . Na taj način se obezbjeđuje duži životni vijek lampe. U praktičnim realizacijama kolo se koristi u suboptimalnom režimu rada (u blizini granice sa optimalnim slučajem). Kao i kod invertora u klasi D, regulacija izlazne snage može se ostvariti promjenom prekidačke frekvencije. Na slici 9 prikazana je šema dobijenog sklopa za akumulatorsko napajanje fluorescentne lampe sa samooscilujućim invertorom u klasi E [8].



Slika 9. Samooscilujući inverter u klasi E prilagođen za napajanje fluorescentne lampe.

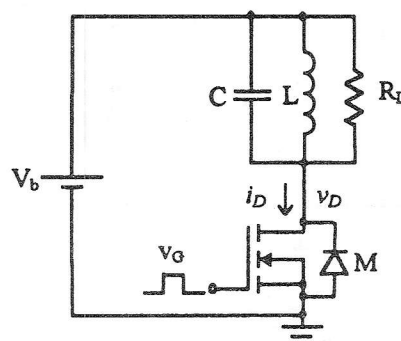
Proračunski postupak za osnovne elemente sa šeme dat je u [8]. Otporni razdjelnik $R_1 - R_2$ i sprežni kondenzator C_3 obezbjeđuju prednapon od 4V koji je potreban za siguran start. Kad napon na gejtju dostigne napon praga (koji je po specifikacijama proizvođača za većinu MOSFET-a snage manji od 4V), tranzistor M počinje voditi i u tom trenutku startuje rad invertora. Takođe, prednapon na gejtju vrijednosti napona praga tranzistora V_t , omogućuje pobuđivanje MOSFET tranzistora signalom faktora popune od približno $D=0,5$. Ovo je potrebno jer je, u slučaju samooscilujućeg invertora, pobuda MOSFET-a približno sinusoidalna, a ne impulsna kao kod vanjski pobuđivanog invertora u klasi E. Induktivnost L_b u radnom režimu ograničava struju lampe. Kondenzator C_b omogućuje dobijanje napona lampe potrebnog za start i kroz njega teče struja grijanja elektroda. Njegova vrijednost se izračunava iz uslova da je rezonantna frekvencija oscilatornog kola u sekundarnom krugu (C_b , L_b i induktivnost sekundarnog namotaja) jednaka radnoj frekvenciji f . Izvršena je eksperimentalna verifikacija dobijenog kola na radnoj frekvenciji od $f=100\text{KHz}$ prilagođenog za napajanje fluorescentne lampe snage 18W pri akumulatorskom naponu $V_b=12\text{V}$. Za realizaciju su korišćene sljedeće vrijednosti elemenata kola: $R_1=33\text{K}\Omega$, $R_2=16\text{k}\Omega$, $C_3=1\mu\text{F}$, $L_r=1\text{mH}$, $C_1=62\text{nF}$, $C_2=90\text{nF}$, $L_r=28\mu\text{H}$, induktivnost magnetizacije primara $L_p=15\mu\text{H}$, pri čemu su odnosi transformacije $n_1=1$, $n=15$, a faktor dobrote upotrijebljenog oscilatornog kola je $Q=5$. Upotrijebljen je tranzistor IRF540. Od magnetskih komponenti upotrijebljena su SIEMENS-ova jezgra ETD29/N67. Potvrđeni su veoma mali prekidački gubici na tranzistoru, pa za realizaciju ovog kola nije potrebna upotreba hladnjaka.

5. REALIZACIJA SA KOLOM U KLASI E SA NESINUSNIM IZLAZOM

Prethodno data samooscilujuća konfiguracija omogućava efikasno visokofrekventno napajanje fluorescentne lampe, ali je za realizaciju potreban relativno veliki broj elemenata. U ovom radu je predloženo jedno jednostavno rješenje napajanja fluorescentne lampe pomoću pojačavača snage u klasi E sa nesinusnim izlaznim naponom. Ovo rješenje predstavlja konfiguraciju sa minimalnim brojem elemenata i u optimalnom režimu rada pruža visoku efikasnost. Na slici 10 prikazana je osnovna ćelija ovog pojačavača. Vrijednost otpornosti opterećenja R_L određujemo na osnovu relacije [9]:

$$R_L = 1.916 \frac{V_b^2}{P_o}, \quad (3)$$

gdje je:
 P_o - izlazna snaga.



Slika 10. Osnovno kola pojačavača u klasi E sa nesinusnim izlazom.

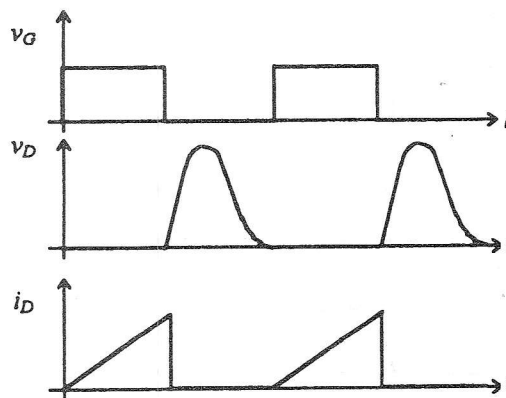
Vrijednosti reaktivnih elemenata određujemo iz uslova optimalnog rada iz relacija [9]:

$$L = \frac{0.065 R_L}{f}, \quad (4)$$

$$C = \frac{0.163}{f R_L}, \quad (5)$$

gdje je: f - prekidačka radna frekvencija.

Na slici 11 dati su karakteristični talasni oblici ovog pojačavača pri radu u optimalnom režimu.

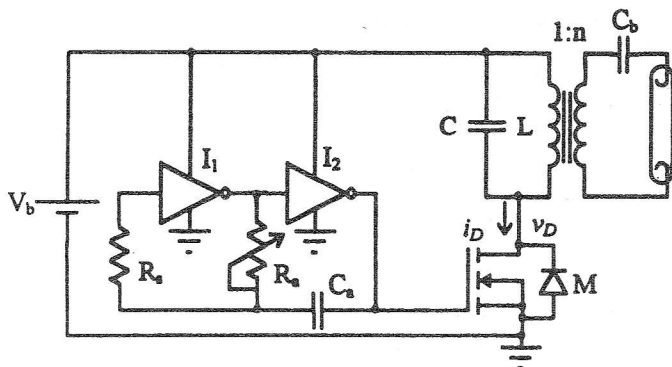


Slika 11. Karakteristični talasni oblici kola sa slike 9.

Osnovni nedostatak ovog kola su visoke maksimalne vrijednosti napona i struje tranzistora. Naime, maksimalna vrijednost napona na drejnu u optimalnom režimu rada je $V_{Dmax}=3.85V_b$, a struje drejna $I_{Dmax}=4I_b$ [9], gdje je I_b srednja vrijednost ulazne struje, dok u suboptimalnom režimu rada ove veličine dobijaju još veće vrijednosti. Takođe, visok sadržaj viših harmonika u izlaznom signalu može biti uzrok značajne RFI.

Na slici 12 prikazano je kolo ovog pojačavača prilagođenog za akumulatorsko napajanje neonske lampe od 18-20W gdje je, za pobudu MOSFET-a, upotrijebljen astabilni multivibrator realizovan sa CMOS kolom CD4049UB. Vrijednosti elemenata su određene iz uslova optimalnog rada na osnovu relacija (4) i (5), uz izvjesne eksperimentalne korekcije kojima se uzima u obzir uticaj preslikane vrijednosti kapacitivnosti C_b i otpornosti lampe u

radnom režimu na rad kola. Pri tome, u cilju postizanja optimalnog režima rada, potrebno je podesiti da talasni oblici struje i napona tranzistora M budu kao na slici 11.



Slika 12. Predloženo kolo za akumulatorsko napajanje fluorescentne lampe.

Kolo se koristi za akumulatorsko napajanje fluorescentne lampe pri $V_b=12V$. Pri tome je dozvoljena promjena ulaznog napona od 10 do 16V. U cilju dobijanja kraćih vremena uključivanja i isključivanja MOSFET-a M, struje punjenja i pražnjenja odgovarajuće ulazne kapacitivnosti MOSFET-a, povećavaju se paralelovanjem preostalih 5 invertora kola CD4049UB (inverter I₂ sa slike 12). U cilju manje potrošnje iz akumulatora obavljen je proračun za snagu $P_o=10W$ (3) što prouzrokuje rad lampe na snazi manjoj od nominalne (18W). Kolo radi na prekidačkoj frekvenciji $f=100kHz$, a vrijednosti upotrijebljenih elemenata su: $C=22nF$, $L=17\mu F$, $C_b=270pF$, $R_a=50k\Omega$ (podešeno na $22k\Omega$), $C_e=56pF$ i $R_f=150k\Omega$. Upotrijebljen je MOSFET tranzistor IRF640 i SIEMENS-ovo jezgro ETD29/N67. Kondenzator C_b se koristi za ograničenje struje lampe u radnom režimu. Odnos transformacije upotrijebljenog transformatora je $n=15$ ($N_p=9$, $N_s=140$). U realizaciji, paralelno akumulatoru V_b , vezan je elektrolitski kondenzator od 470uF kojim se vrši filtriranje parazitnih VF oscilacija koje se javljaju zbog isključivanja prekidača pri velikoj struji. Zbog tolerancija upotrijebljenih elemenata, optimalan rad kola se može obezbijediti podešavanjem frekvencije upotrijebljenog astabilnog multivibratora tako da se za napon i struju drejna dobiju talasni oblici kao na slici 11. Grijanje upotrijebljenog tranzistora je zanemarivo, pa nije potrebna upotreba hladnjaka. Zbog veoma malih prekidačkih gubitaka omogućeno je dalje povećanje prekidačke frekvencije, čime se smanjuju dimenzije kola i povećava efikasnost rada lampe [1]. Izlazna snaga se može u određenom opsegu mijenjati promjenom frekvencije astabilnog multivibratora.

6. ZAKLJUČAK

Rezonantne topologije, zahvaljujući smanjenim prekidačkim gubicima, imaju visoku efikasnost i mogu da rade na veoma visokim frekvencijama, pa se mogu realizovati sa minimalnim dimenzijama. Kod napajanja fluorescentne lampe ovo je veoma bitno jer se povećanjem radne frekvencije povećava njena efikasnost. Pri mrežnom napajanju, zbog niskog napona na prekidačima, najpogodniji je rezonantni inverter u klasi D, dok se pri akumulatorskom napajanju najčešće upotrebljava strujno napajana push-pull rezonantna topologija. Od jednotranzistorskih topologija koristi se inverter u klasi E. Realizovana su kola za akumulatorsko napajanje fluorescentne lampe uz korišćenje kola sa samooscilujućim

inverterom u klasi E i kola u klasi E sa nesinusnim izlazom. U oba slučaja, pri napajanju lampe snage 18W, su potvrđeni minimalni prekidački gubici na tranzistorima pri radnoj frekvenciji od 100kHz.

LITERATURA

- [1] AN1543, "Electronic Lamp Ballast Design", MOTOROLA SEMICONDUCTOR APPLICATION NOTE, 1995.
- [2] Melvin C. Cosby, and R. M. Nemes, "A Resonant Inverter for Electronic Ballast Applications", *IEEE Transaction on Industrial Electronics*, vol. 41, No. 4, pp. 418-425, August 1994.
- [3] Marian K. Kazimierczuk, Wojciech Szaraniec, "Electronic Ballast for Fluorescent Lamps", *IEEE Transactions on Power Electronics*, vol. 8, No. 4, pp. 386-395, October 1993.
- [4] M. K. Kazimierczuk, D. Czarkowski, "Resonant Power Converters", John Wiley & Sons, Inc. 1995.
- [5] Dragan M. Vasiljević, "The Design of a Battery-Operated Fluorescent Lamp", *IEEE Transactions on Industrial Electronics*, vol. 36, No. 4., November 1989.
- [6] Mark Jordan, John A. O'Connor, "Resonant Fluorescent Lamp Converter Provides Efficient and Compact Solution", *UNITRODE PRODUCT & APPLICATIONS HANDBOOK*, pp. 10-412 - 10-419, 1995-96.
- [7] R. Lutteke, H. C. Reats, "220V Mains 500kHz Class-E Converter Using A BIMOS", *PESC 1985*, pp. 127-135, 1985.
- [8] Nikola Bajić, Branko L. Dokić, Zoran Cumbo, Samooscilujući inverter u klasi E, *XLI Konferencija ETRAN-a*, Zlatibor, 3-6 Juna 1997.
- [9] Marian Kazimierczuk, "Exact Analysis of Class E Tuned Power Amplifier with Only One Inductor and One Capacitor in Load Network", *IEEE Journal of Solid-State Circuits*, vol. SC-18, No. 2, April 1983.

Abstract - An overview of resonant topologies suitable for efficient fluorescent lamp operation is given in this paper. High efficiency is achieved by zero voltage and/or zero current switching technique that minimize switching losses. One variant of high-frequency ballast for fluorescent lamp, is realized by implementation of class E self-oscillating inverter. In order to achieve efficient circuit with minimum number of components, class E device with non-sinusoidal output is proposed. Experimental verification of achieved circuits is done also.

RESONANT INVERTERS FOR FLUORESCENT LAMP BALLAST APPLICATIONS

Nikola Bajić, Branko L. Dokić

ПРОЈЕКТОВАЊЕ СНАЖНИХ УЛТРАЗВУЧНИХ СЕНДВИЧ ПРЕТВАРАЧА

Драган Манчић, Милан Радмановић, *Електронски факултет у Нишу*

Садржај - У овом раду приказано је пројектовање ултразвучних сендвич претварача. Предложен је модел који је применљив у софтверским пакетима за симулацију кола. За металне насипавке извршено је поређење са познатим решењима за основне парне и непарне резонантне модове у функцији односа дужине и пречника насипавка.

1. УВОД

Сендитич претварач је полуталасна резонантна структура која осцилује у лонгитудиналном правцу. У најпростијем облику састоји се од једног или више пиезокерамичких прстенова, притиснутих између металних наставка (слика 1). Пиезоплочнице су са супротном оријентацијом поларизације, а одвојене су електродом која се налази у чвору осциловања претварача и на коју се доводи побудни напон. Спрега између пиезокерамичких елемената и металних наставка, као и повећање отпорности на истезање су постигнути механичким преднапрезањем структуре у лонгитудиналном правцу помоћу завртња.

Радна резонантна фреквенција оваквог претвара-
рача је нижа од појединачних дебљинских
резонантних фреквенција, неоптерећеног пиезокера-
мичког прстена или металних наставака. Вредност
резонантне фреквенције ће зависити од димензија и
акустичких карактеристика металних наставака и
пиезокерамичких прстенова. За емиторске примене
пиезокерамика треба да поседује велики електро-
механички фактор спреге, високу Киријеву
температуру, мале диелектричне губитке и стабилне
временске и температурне карактеристике. Највише
се користи олово-цирковијум-титанатна керамика
(PZT-4 и PZT-8) у облику дискова или прстенова, чији
је пречник мањи од $\lambda/4$ лонгитудиналних осцилација,
како би се избегла спрега са радијалним (бочним)
вибрацијама. За металне наставке користе се
материјали различите густине, како би се повећале
амплитуде вибрација на радној површини емитора,
као и да би се побољшало прилагођење са
оптерећењем.

2. МОДЕЛИРАЊЕ ПРЕТВАРАЧА

Сендвич претварач, као што је поменуто, састоји се од (слика 1):

- а) активног слоја или извора осцилација од пиезоелектричне керамике,
- б) рефлекторског слоја који представља задњи део претварача, најчешће је израђен од челика,
- в) емитора који преноси осцилације од извора до радне средине, најчешће је израђен од дуралуминијума.



Сл. 1. Шемайски йриказ сенвич йрейварача

Керамика се напаја електронским осцилатором подешеним на фиксну фреквенцију и претварач и околна средина се разматрају као принудни осцилаторни систем.

Карактеристике композитних ултразвучних пиезоелектричних претварача у близини основне резонантне фреквенције могу се описати паралелном везом редног резонантног кола и кондензатора, при чему је оваква еквивалентна шема довољно тачна за многе практичне примене.

Међутим, овакав приступ није погодан код конструкције сендвич претварача са више побудних пиезокерамичких плочица или са металним наставцима променљивог пресека и различите форме, стегнутих металним завртњем. То се пре свега односи на немогућност избора и контроле параметара појединих саставних делова претварача при његовом прорачуну. Због тога се код прорачуна оваквих сложених осцилаторних система побуђених пиезокерамичким прстеновима примењују другачији начини моделирања.

Због своје сложености математички третман таквог проблема је тежак. Писање актуелних једначина модела подразумева разматрање 5 средина, које чине делови претварача и његове границе, као и разматрање керамике као пиезоелектричног кристала и коначно, претпоставку да су све непознате функције времена и 3 координате простора. Чак и у мање сложенем моделу добијеном када претварач има цилиндричну симетрију око осе и који је разматран у овом раду, овакав приступ у прорачуну је изузетно компликован. У литератури постоје два приступа у моделирању сендвич претварача.

У првом случају користи се веома једноставан математички приступ [1]. Гранични услови на ивицама претварача су игнорисани. Керамика је представљена као пасиван, хомоген, изотропан медијум, односно на начин на који су представљени и рефлекторски и емиторски наставак. Такође, непознате величине су функције времена и само лонгитудиналне координате. Референтна оса се

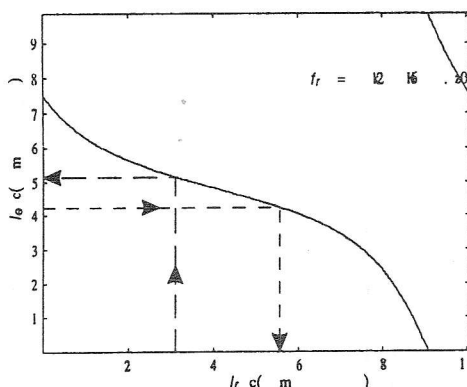
поклапа са осом поларизације, која је и оса симетрије претварача цилиндричног облика. Керамика, рефлектор и емитор су пасивни медијуми физички представљени њиховим густинама ρ и модулима еластичности E , и геометријски представљени њиховом дужином l и попречним пресеком S . Кроз њих се простиру само равански лонгитудинални таласи брзине $c=(\rho/E)^{0.5}$. Оваквом анализом долази се до опште једначине сендвич претварача [1]:

$$\begin{aligned} & \cos(k_r l_r) \sin(k_p l_p) \cos(k_e l_e) - \\ & - Z_{rp} Z_{ep} \sin(k_r l_r) \sin(k_p l_p) \sin(k_e l_e) + \\ & + Z_{rp} \sin(k_r l_r) \cos(k_p l_p) \cos(k_e l_e) + \\ & + Z_{ep} \cos(k_r l_r) \cos(k_p l_p) \sin(k_e l_e) = 0 \end{aligned} \quad (1)$$

где је $Z_{rp}=Z_r/Z_p$, $Z_{ep}=Z_e/Z_p$, $Z_i=\rho_i c_i S_i$ карактеристична импеданса за $i=r, p$ и e , а k_i таласни број:

$$k_i = \frac{2\pi}{\lambda_i} = 2\pi f \sqrt{\frac{\rho_i}{E_i}} \quad (2)$$

Графички се једначина (1) може приказати као $l_e=f(l_r)$, уколико се дебљина керамике l_p сматра познатим параметром. Као илустрација претходно наведеног, на слици 2 је приказана зависност дужине емитора од дужине рефлектора за сендвич претварач са укупном дебљином керамике $l_p=10$ mm, за резонантну фреквенцију претварача $f_r=26.06$ kHz. Претварач са овом резонантном фреквенцијом конструисан је у циљу експерименталне верификације модела предложеног у овом раду. При томе су димензије претварача биле следеће: $l_e=42$ mm, $l_r=31.5$ mm, $S_e=S_p=S_r=40$ mm.



Сл. 2. Графички приказ једначине (1)

На основу слике 2, за дужину емитора $l_e=42$ mm дужина рефлектора је $l_r=56.5$ mm, односно за дужину рефлектора $l_r=31.5$ mm дужина емитора је $l_e=51.3$ mm. Недостатак наведеног приступа у пројектовању огледа се у добијеним великим одступањима за дужине наставака. То је због тога што једначина (1) важи у случају мале дужине (дебљине) саставних делова претварача, односно у случају када је брзина ултразвука у елементима претварача приближно константна ($c_i=(\rho_i/E_i)^{0.5}$). Разматрања у претходном делу рада апроксимативне су природе, мада генерално дају резултате блиске реалним.

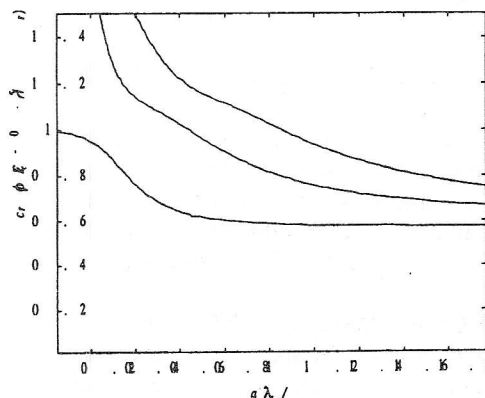
Апроксимација је ближе што је мањи однос полупречника елемента и таласне дужине a/λ . Промена брзине простирања лонгитудиналних таласа са повећањем односа a/λ може се видети на слици 3. На слици 3 су приказане лонгитудиналне брзине за прва три резонантна мода, као тачна решења Rochhammer-Chree једначине за цилиндричну челичну шипку бесконачне дужине [2]:

$$\begin{aligned} & 4k_r^2 \mu J'_0(h_0 a) J'_1(h_1 a) - \left(2k_r^2 - \frac{\rho_r \omega^2}{\mu} \right) J_1(h_1 a) X \\ & X \left[2\mu J''_0(h_0 a) - \frac{\lambda \omega^2 \rho_r}{\lambda + 2\mu} J_0(h_0 a) \right] \end{aligned} \quad (3)$$

где су λ и μ Ламе-ови коефицијенти, J_0 и J_1 Bessel-ове функције, а J'_1 и J''_0 њихови изводи и:

$$h_0^2 = \frac{\rho_r \omega^2}{\lambda + 2\mu} - k_r^2; \quad h_1^2 = \frac{\rho_r \omega^2}{\mu} - k_r^2 \quad (4)$$

Решења ($c_r=\omega/k_r$) су нормализована са решењем за лонгитудиналну брзину таласа у танком наставку ($(\rho_r/E_r)^{0.5}$).



Сл. 3. Брзина лонгитудиналних таласа за прва три мода у бесконачној челичној шипки

Rochhammer-Chree решење општих једначина линеарне еластичности важи само за бесконачно дугу кружну шипку, која није притиснута на обимној површини. Испуњавањем ових граничних услова, карактеристична једначина се може написати у облику [3]:

$$\begin{aligned} & 4\alpha^2 \beta \delta J_0(\beta) J_1(\delta) - 2\delta \omega_n^2 J_1(\beta) J_1(\delta) + \\ & + (\alpha^2 - \beta^2)^2 J_1(\beta) J_0(\delta) = 0 \end{aligned} \quad (5)$$

Бездимензиони таласни бројеви α , β и δ су у вези са бездимензионом учестаношћу ω_n на следећи начин:

$$\alpha^2 + \beta^2 = \omega_n^2 \quad (6)$$

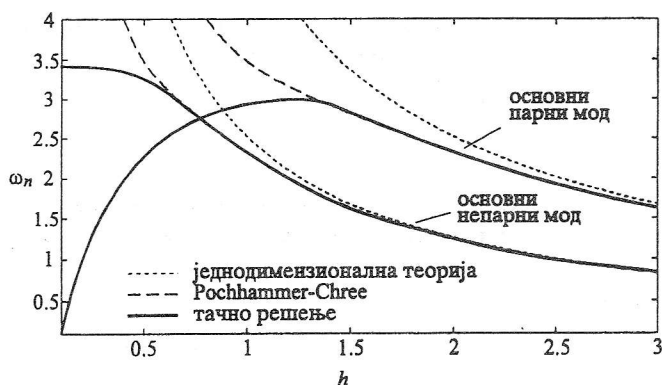
$$\alpha^2 + \delta^2 = [\omega_n^2 (1 - 2\nu)] / (1 - \nu)$$

где је $\omega_n=(\omega a)/(\mu/\rho)^{0.5}$, а ν је Poisson-ов однос.

Ипак, решење за бесконачну шипку се може посматрати као решење за коначну шипку ако се уведу гранични услови на крајевима цилиндра, односно ако се сматра да су аксијално

(лонгитудинално) напрезање и радијални померај једнаки нули на крајевима шипке.

На слици 4 приказани су претходно наведени приступи у моделирању металних наставка за случај челичног наставка ($\nu=0.29$), где је нормализована учестаност ω_n дата у функцији односа дужине наставка и његовог пречника (h). Такође, на истој слици су приказана тачна решења општих једначина линеарне еластичности за слободни цилиндар коначне дужине, добијена налажењем решења у облику бесконачних низова [3]. Тачност решења зависи од броја чланова низова. Приказани су основни парни и непарни резонантни модови добијени различитим методама моделирања.

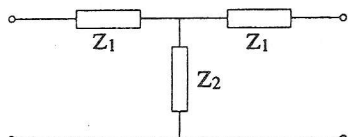


Сл. 4. Поређење различитих метода моделирања

Поред тога, на слици 4 је приказан и график добијен једнодимензионалним моделом наставка, који се користи у **другом** начину моделирања сендвич претварача, када се узимају у обзир пиезоелектрична својства побудних PZT плочица [4].

3. ЕКСПЕРИМЕНТАЛНИ ДЕО

На слици 4 је приказано и решење за резонантне фреквенције за основне парне и непарне модове добијено помоћу једнодимензионалне теорије за дугачке шипке. Тада се пасивни елементи (рефлектор, емитор, завртањ), могу представити опште познатим симетричним Т (или П) четворополима са слике 5.



Сл. 5. Еквивалентна шема вода за металне наставке и завртањ

У еквивалентној шеми целог претварача сваки од ових елемената представљен је одговарајућим четворополом. Елементи шеме који одговарају једнородним, симетричним наставцима различитих дужина и материјала одређују се на основу израза:

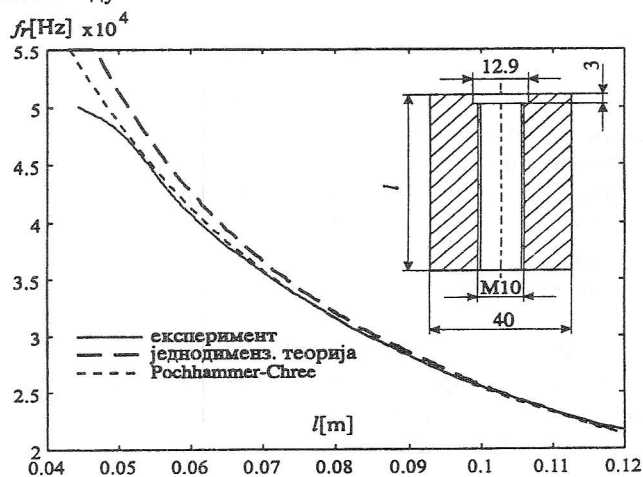
$$Z_1 = j Z_{01} \tan \frac{\varphi_1}{2} \quad \text{и} \quad Z_2 = \frac{-j Z_{01}}{\sin \varphi_1} \quad (7)$$

при чему је $Z_{0i} = \rho_i c_i S_i$ и $\varphi_i = (\omega l_i)/c_i$ за $i=e, p$ и g . У овом раду коришћен је PSpice модел преносног вода карактеристичне импедансе Z_{0i} и кашњења $\tau_i = l_i/c_i$,

који је реализован преко зависних струјних извора [5].

На основу слике 4 може се уочити да се смањењем лонгитудиналне брзине решење добијено једнодимензионалном теоријом може приближити Pochhammer-Chree решењу, при чему је оправданост смањења те брзине објашњена у претходном делу рада. Наравно, ово је могуће до одређене дужине наставка, испод које је овај модел неприхватљив. За дугачке наставке види се да се решења добијена различитим приступима асимптотски приближавају.

У овом раду прорачун смањења лонгитудиналне брзине ултразвучних таласа извршен је фитовањем одговарајућих лонгитудиналних брзина водова поступком приказаном у раду [6], а на основу експерименталних мерења сличних онима приказаних на слици 6, за све саставне делове претварача. На слици 6 дато је поређење зависности основне резонантне фреквенције једног наставка од његове дужине.



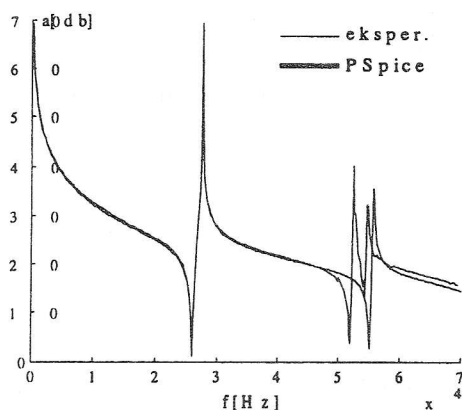
Сл. 6. Зависност основне резонантне фреквенције од дужине наставка од материјала DURAL D5

Резонантне фреквенције су мерене на вибрационој платформи за слободни наставка од дуралуминијума, чија је геометрија приказана на истој слици, а који је коришћен у конструкцији претварача за потребе овог рада. Очигледна су одступања резонантних фреквенција при малим дужинама наставка. За веће дужине експериментални резултати се асимптотски приближавају резултатима добијеним помоћу једнодимензионалне теорије, односно карактеристики добијеној на основу зависности резонантне фреквенције од дужине вода са слике 5.

Коришћени Mason-ов модел побудног пиезоелектричног прстена који осцилује у дебљинском моду приказан је у раду [5], при чему је и за брзину звука у керамици примењена претходно описана процедура. Вредности пиезокерамичких константи модификоване су због примењеног статичког притиска, где се у фреквентном опсегу који је од интереса пиезокерамички прстен понаша као кондензатор.

На основу оваквог приступа за оба наставка претварача, завртањ и побудну пиезокерамику, коришћењем PSpice 6.0 модела приказаног у раду [5],

извршено је моделирање и пројектовање претварача са слике 1 и упоређено са експерименталним резултатима. На слици 7 приказане су експериментална и симулирана карактеристика зависности слабљења од фреквенције, при чему се може уочити њихова велика сличност.



Сл. 7. Експериментална и PSpice карактеристика слабљења од фреквенције

Експериментална карактеристика слабљења снимљена је на анализатору мрежа за конкретни претварач са резонантном фреквенцијом $f_r=26.06\text{kHz}$, при чему је снимљена карактеристика слабљења због великог опсега промене импедансе.

4. ЗАКЉУЧАК

У овом раду је приказан начин моделирања ултразвучних сендвич претварача. Посебна пажња посвећена је пројектовању металних наставака, при чему је дато поређење различитих приступа у одређивању њихових резонантних фреквенција. Дат је начин модификације једнодимензионалне теорије, којим се омогућава моделирање и пројектовање претварача са наставцима средњих дужина. Ипак, у случају кратких наставака (нпр. код претварача са $f_r=40\text{kHz}$ који се користе у ултразвучним системима за чишћење) овакав приступ је неподесан. На основу конкретног примера показано је да је тачност коришћеног модела задовољавајућа и изнад оне која се захтева за већину апликација.

ЛИТЕРАТУРА

- [1] R.Dominguez, C.Ranz, "Sandwich Transducer, Simplified Mathematical Model (I)", *Acustica*, vol. 29, pp. 156-161, 1973.
- [2] I.Malecki, *Physical foundations of technical acoustics*, Oxford: Pergamon Press, 1969.
- [3] J.R.Hutchinson, "Axisymmetric Vibrations of a Free Finite-Length Rod", *The Journal of the Acoustical Society of America*, vol. 51, pp. 233-240, 1972.
- [4] В.А.Черпак, *К расчёту динамических сосредоточенных параметров составных пьезоэлектрических преобразователей*. Акустический журнал, том XXIII, вып. 3, с. 443-449, 1977.
- [5] М.Радмановић, Д.Манчић: "PSPICE модел ултразвучног сендвич претварача", рад реферисан на XLI конференцији за ЕТРАН, Златибор, јун 1997.
- [6] Д. Манчић, М. Радмановић: "Одређивање параметара еквивалентног кола пиезокерамичког прстена", рад реферисан на XLI конференцији за ЕТРАН, Златибор, јун 1997.

Abstract - In this paper designing of the ultrasonic sandwich transducers is described. Model that is applicable to circuit simulation packages is proposed. For metal end-parts comparison of fundamental even and odd modal frequency with known solutions for varying height-to-diameter ratio is performed.

DESIGNING OF THE ULTRASONIC SANDWICH TRANSDUCER
Dragan Mancic, Milan Radmanovic

ПРИКАЗИ КЊИГА

ЕЛЕКТРОНИКА 2 - ТРАНЗИСТОРИ

проф. др Александар Илишковић, Електротехнички факултет и
Медицинска електроника, Бањалука, 1997, 408 страна, ћирилица.

Извод из рецензије.

Електроника 2, садржи пет поглавља и наставак је књиге Електроника 1. Због тога је пет нових поглавља, која чине Електронику 2, означено бројевима од 6 до 10.

Књига има 408 страница текста, 154 слике, библиографију (54 референце) и природни систем елемената, као посебни прилог. У шестој глави описани су биполарни транзистори. Објашњени су физички процеси у тим транзисторима и дата је њихова математичка интерпретација. Најопширније поглавље има 160 страница са 61 сликом и описује биполарне транзисторе од основних процеса у њима закључно са описом прелазних режима у транзистору. Првих педесет страница описује расподјелу потенцијала, концентрације набоја и струје и статичке карактеристике транзистора. Следећих 20 страница посвећене су граничним режимима рада биполарних транзистора. Посебна пажња посвећена је опису феномена пробојних напона транзистора. Диференцијални параметри и динамички модели биполарних транзистора описани су у следећих 40 страница. Прелазни режими у биполарним транзисторима описани су на скоро 50 страница. Дата је анализа прелазних режима методом електричног набоја на основу еквивалентних шема. Такође је посебна пажња посвећена анализи утицаја температуре на статичке карактеристике транзистора.

Седма глава књиге има 22 странице и 10 слика. Описани су принципи рада транзистора са ефектом поља. Објашњени су потребни термини и наведене су њихове скраћенице. Указано је на потпуно различите принципе рада униполарних транзистора са управљачким р-п спојем (JFET) и униполарних транзистора са изолованим гејтом (MISFET).

Осма глава има 80 страница и 30 слика. У том поглављу описани су униполарни транзистори са управљачким р-п спојем. Дат је детаљан прорачун статичких карактеристика тих транзистора и њихових диференцијалних параметара. Такође је описан утицај промјене покретљивости носилаца електрицитета на рад транзистора. Промјена ефективне дужине канала транзистора описана је као посљедица физичког процеса и математички је прорачуната. Утицај температуре на рад JFET-а детаљно је објашњен на 20 страница осмог поглавља. На крају поглавља укратко су описане специфичности пробоја код ове врсте транзистора.

Физички процеси на површини полупроводника описани су у деветом поглављу. Ово поглавље има 71 страницу и 30 слика. У почетку је описана појава закривљености енергетских зона и дубине дјеловања електричног поља. Извршен

је прорачун електростатичког потенцијала и јачине електричног поља у области просторног набоја. Посебна пажња посвећена је формирању инверзног поља и прорачуну његових карактеристика. Прорачуната је површинска проводност полупроводника и описано дејство електричног поља на површину полупроводника. Капацитивност MOS структуре и еквивалентна шема детаљно су описани на петнаест страница деветог поглавља. Посебна пажња посвећена је опису рада и прорачуну параметара површински контролисане MOS структуре.

Десето поглавље има 63 странице и 23 слике. Посвећено је у потпуности прорачуну статичких карактеристика и параметара униполарних транзистора са изолованим гејтом. Централно мјесто заузима MOSFET са n-каналом. Дат је аналитички облик статичких карактеристика, при чему је узет у обзир и утицај параметара основе транзистора на те карактеристике. Специфичности r-каналног MOS транзистора посебно су описане. Диференцијални параметри одређени су у облику повољном за прорачун на основу гесматријских и физичких параметара MOSFET-а. Посебно је обрађена проводност дрејн-сорс и показано је да та проводност није нула, већ да има неку каоначну вриједност, која зависи од ефеката скраћивања дужине канала. Утицај температуре на рад MOS транзистора описан је на десетак страница текста. Крај поглавља описује пробојне напоне транзистора.

На крају књиге наведена је литература (54 референце), а као посебан прилог дат је периодни систем елемената.

Изложена материја је детаљно обрађена са прецизним физичким објашњењима и математичким интерпретацијама. У том погледу, слободан сам истаћи, садржај књиге превазилази потребан ниво додипломских студија из ове области. Зато ће она бити од изузетне користи постдипломцима на смјеровима за електронику и микроелектронику.

Заједно са првом књигом (Електроника 1 - физика полупроводника и диоде) аутора проф. др А. Илошковића ова књига ће омогућити да се настава на предметима електронике Електротехничког факултета у Бањалуци подигне на ниво сличних курсева европских универзитета.

Књига је написана веома разумљивим језиком. Сваки нови појам је јасно дефинисан. Физичка и математичка интерпретација се у потпуности допуњују чинећи тако компактну и веома јасну цјелину. Изврсну допуну чине многе илустрације и бројчани примјери који ће значајно помоћи јаснијем разумијевању материје.

Рецензент:

Бранко Докић

УПУТСТВО ЗА АУТОРЕ

У часопису ЕЛЕКТРОНИКА објављујемо научне и стручне радове из електронике, у најширем смислу, као што су: аутоматика, телекомуникације, рачунарска техника, енергетика, нуклеарна и медицинска електроника, анализа и синтеза електронских кола и система, нове технологије и материјали у електроници, итд. Осим научних, прегледних и стручних радова, презентујемо нове производе, приказујемо нове књиге, магистарске и докторске тезе. С циљем да се омогући унифицирање техничке обраде радова и поједностављење штампања часописа ЕЛЕКТРОНИКА, даје се ово упутство за ауторе.

Радови се достављају уреднику часописа електронском поштом или на адресу Факултета (обе адресе се налазе на полеђини прве корице) на дискети и одштампано у три примјерка.

Сва три примјерка рада треба да буду одштампана само са једне стране листа формата А4 димензија 210x297mm, односно ширине 8.27", висине 11.69", горње и доње маргине од 1", лијеве и десне маргине од 1.25", а за заглавље и нумерацију страница оставити 0.5" (header и footer су 0.5"). Рад може бити написан на српском или енглеском језику. Рад обавезно мора бити писан у двије колоне. Сугерише се ауторима да радове обрађују на персоналном рачунару користећи процесор текста WORD FOR WINDOWS, а за слике графички програм CORELDRAW. Графикони иду из изворних програма, тј. из програма у којима су добијени. Рад не треба завршавати на почетку странице. Ако задња страница рукописа није попуњена, колоне на тој страници треба свести на исту дужину.

На средини прве странице рада написати у полуфету (**bold**) наслов рада словима величине 12pts. Затим, такође на средини прве странице помјерено за 1 проред у односу на наслов рада, треба навести имена аутора и имена институција у којима су запослени, величином слова којом су штампани и остали дијелови текста. Остале дијелове рукописа треба обрадити у двије колоне размакнуте за 10mm. Рад куцати у прореду величине 1 и величином слова не мањом од 10pts. Послије наслова рада и имена аутора слиједи кратак садржај на српском језику писан курзивом (*italic*). Поднаслов у рукопису писати у полуфету (**bold**) великим словима величине као у тексту (не мањим од 10pts). Сваки рад мора посједовати на почетку поднаслов УВОД, а на крају поднаслов ЗАКЉУЧАК и ЛИТЕРАТУРА. На крају рада налази се кратак садржај (Abstract) и наслов рада на енглеском језику са именима аутора.

Операторе и ознаке величина које не узимају бројне вриједности писати обичним словима, а ознаке величина које могу узимати бројне вриједности писати курзивом (*italic*). Једначине се пишу у једној колони са нумерацијом уз десну ивицу. Ако се не жели преламање једначине или слике, исте се могу ставити преко обе колоне.

Илустрације (табеле, слике, графикони и сл.) могу, по потреби, да буду шире од једне колоне. Изнад табеле треба да стоји натпис нпр: Табела 2. Резултати експерименталних мјерења. Слично важи за слике и графиконе, с тим што пропратни текст иде испод слике или графикана.

На крају рада треба пописати коришћену литературу оним редосљедом којим је позивана у тексту. Литературу у тексту треба наводити у угластим заградама, нпр: ...у [2] је показано...

INSTRUCTION FOR AUTHORS

In the review "Electronics", we publish the scientific and professional works from different fields of electronics in the broadest sense like: automatics, telecommunications, computer technics, energetics, nuclear and medical electronics, analysis and synthesis of electronic circuits and systems, new technologies and materials in electronics etc. In addition to the scientific, reviewal and professional works, we present new products, new books, M. A. and D. Sc. theses.

In order to enable the unification of technical arrangement of the works, to simplify the printing of the review "ELECTRONICS", we are giving this instruction for the authors of the works to be published in this professional paper.

The works are to be delivered to the editor of the review by the E-mail or to the address of the Electrical Engineering Faculty (both addresses are shown inside the front page) on a floppy and printed in three folds.

All of three folds are to be printed on one side of the paper A4 formate, 210 x 297 mm, i.e., 8.27" width and 11.69" height, upper and lower margins of 1", left and right margins of 1.25" and the header and footer are 0.5". The work may be written in Serbian or English language. Obligatory, the work has to be written in two columns. Our suggestion is to the authors to make their works on a PC using the word processor WORD FOR WINDOWS, and for the figures to use the graphic programme CORELDRAW. The graphs are going from the original programmes, i.e., from the programmes received. The works should not be finished at the beginning of a page. If the last manuscript page is not full, the columns on that page should be made even.

The title of the work shall be written on the first page, in bold and 12 pts size. Also, on the first page, moved for one line spacing from the title, the author's name together with the name of his institution shall be printed in the letter size of the remaining parts of the text. The remaining parts of the manuscript shall be done in two columns with 10 mm interspace. The work shall be typed with line spacing 1 and font size not less than 10 pts. After the title of the work and name of the author, a short content in Serbian language follows, written in italics. The subtitles in the text shall be written in bold, capital letters of the size as in the text (not less than 10 pts). Each work shall, at the beginning, comprise a subtitle INTRODUCTION, and, at the end, the subtitles CONCLUSION and BIBLIOGRAPHY. At the end of the work, there shall be a short Abstract and the title in English accompanied with the names of authors.

The operators and size marks that do not use numerical values, shall be written in common letters. The size marks that can use numerical values shall be written in italics. The equations shall be written in one column with right edge numeration. If the breaking of equations or figures is not desired, those may be placed over both columns.

Illustrations (tables, figures, graphs etc.) may be wider than one column if necessary. Above a table there shall be a title for instance: Table 2. *The experimental measuring results*. The same applies to figures and graphs but the accompanying text comes underneath the figure of graphs.

At the end of each work, the used literature shall be listed in order as used in the text. The literature in the text, shall be enclosed in square brackets, for instance: ... in [2] shown is



ЕЛЕКТРОНИКА

Годиште 1, Број 1, децембар 1997.

САДРЖАЈ

Differential and Pass-Transistor CMOS Logic for High-Performance Systems	3
<i>V. G. Oklobdzija</i>	
Modular Telecommunication Converters	11
<i>S. Cuk</i>	
Application of Field Theory Techniques in MIC and MMIC Design	19
<i>N. Uzunoglu</i>	
Савремена достигнућа у развоју полупроводничких компоненти снаге	21
<i>М. Живанов, Љ. Живанов</i>	
Утицај температуре на напон прага отварања МОСФЕТ-а	35
<i>А. Илишковић, Ф. Софтић</i>	
Адресибилни сензор температуре	41
<i>Б. Лековић, Б. Ђорђевић, М. Јевтић</i>	
Мерно-информациони системи са дистрибуираном и недистрибуираном интелигенцијом	45
<i>С. Ристић, М. Стојчев</i>	
Оптимални пријемник сигнала који се преносе енергетским водовима	50
<i>В. Стојановић, С. Ђорђевић</i>	
Тестабилно дигитално интегрисано коло специфичне намене са изграђеним аналогним мултиплексерима	56
<i>С. Јанковић, Д. Максимовић, В. Живковић, П. Петковић, В. Литовски</i>	
Напајање флуоресцентних лампи коришћењем резонантних инвертора	61
<i>Н. Бајић, Б. Л. Докић</i>	
Пројектовање снажних ултразвучних сендвич претварача	66
<i>Д. Манчић, М. Радмановић</i>	